

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-165163

(43)公開日 平成6年(1994)6月10日

(51)Int.Cl.⁵

H 0 4 N 7/137
11/04

識別記号

庁内整理番号

Z

Z 7337-5C

F I

技術表示箇所

(21)出願番号 特願平4-328993

(22)出願日 平成4年(1992)11月16日

(31)優先権主張番号 793063

(32)優先日 1992年11月15日

(33)優先権主張国 米国(US)

(71)出願人 390035493

アメリカン テレフォン アンド テレグラフ カムバニー

AMERICAN TELEPHONE AND TELEGRAPH COMPANY

アメリカ合衆国 10013-2412 ニューヨーク ニューヨーク アヴェニュー オブ ジ アメリカズ 32

(74)代理人 弁理士 三俣 弘文

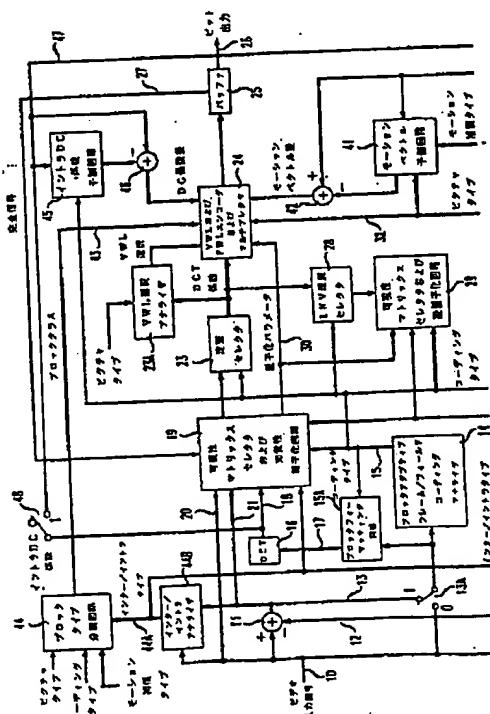
最終頁に続く

(54)【発明の名称】 デジタルビデオ信号のエンコーディング装置

(57)【要約】

【目的】 高解像度ビデオ画像に関連するデジタル信号の圧縮方法を改善する。

【構成】 ビデオ画像のフレームおよびフィールドに関するデジタル信号の適合的および選択性のコーディングにより目的は達成される。デジタルビデオ入力信号は分析され、この分析に応答してコーディングタイプ信号を発生する。このコーディングタイプ信号を使用してデジタル信号を圧縮する1種類以上のタイプの回路を適合的にコントロールし、得られた低ビット数かつ低ビットレートの信号を使用して品質を殆ど損なうことなく高解像度ビデオ画像を伝送することができる。コーディングタイプ信号を使用することにより、モーション補償推定技術、変換係数の量子化、ビデオデータの走査およびデータの可変語長エンコーディングを改善することができる。本発明のデジタルビデオ信号圧縮方法は特に、ビデオ会議用途および高品位テレビで有用である。



【特許請求の範囲】

【請求項1】 ビデオ画像のフレームを形成する画素に
関連する連続的なデジタル表示からなるデジタルビデオ
入力信号を受信する手段と、
前記フレームは複数の飛越フィールドからなり、
画素フレームに関連する複数群のデジタル表示をコーデ
ィングする手段と、
フレーム内の飛越フィールドに関連する複数群のデジタ
ル表示をコーディングする手段と、
デジタルビデオ入力信号に応答して、デジタルビデオ入
力信号をコードするために、フレームコーディング手段
またはフィールドコーディング手段のうちの選択された
一つに送られるフィールドフレームタイプ信号を発生す
る手段とからなることを特徴とするデジタルビデオ信号
のエンコーディング装置。

【請求項2】 フィールドは、フレームの交互水平走査
線からなることを特徴とする請求項1のエンコーディン
グ装置。

【請求項3】 ビデオ画像フレームを形成する画素を表
示する連続的なデジタル信号からなるデジタルビデオ入
力信号を受信する手段と、
前記フレームは複数の飛越フィールドからなる；デジタ
ルビデオ入力信号の推定に関連する信号を発生する手段
と、
デジタルビデオ入力信号およびデジタルビデオ入力信号
推定信号に応答して、エラー信号を発生する手段と、
エラー信号に応答して、エラー信号の周波数係数を決定
する回路手段と、

周波数係数を量子化する手段と、
連続的な周波数係数信号を所定の順序で発生するために
所定の順序で量子化周波数係数を走査する手段と、
連続的な周波数係数信号に応答して、圧縮ビデオ信号ビ
ットストリームを発生する可変語長エンコーダと、
デジタルビデオ入力信号に応答して、デジタルビデオ入
力信号の圧縮をコントロールするためのコーディングタ
イプ信号を発生する手段とからなることを特徴とするデ
ジタルビデオ信号のエンコーディング装置。

【請求項4】 コーディングタイプ信号を発生する手段
は、量子化手段をコントロールすることを特徴とする請
求項3の装置。

【請求項5】 コーディングタイプ信号を発生する手段
は、走査手段により発生される所定の走査順序をコント
ロールする請求項3の装置。

【請求項6】 デジタルビデオ入力信号の推定は、デジ
タルビデオ入力信号および少なくとも一つの別のビデオ
入力信号の表示に応答するモーション推定手段により決
定されるモーションベクトルに応答して発生されること
を特徴とする請求項4の装置。

【請求項7】 コーディングタイプ信号を発生する手段
は、デジタルビデオ入力信号の推定に関連する信号を發

生する手段をコントロールすることを特徴とする請求項
3の装置。

【請求項8】 デジタルビデオ入力信号の推定は、デジ
タルビデオ入力信号のモーション補償推定であることを
特徴とする請求項3の装置。

【請求項9】 モーション補償を行うモードが、少なく
とも2種類存在することを特徴とする請求項8の装置。

【請求項10】 フレームモーション補償モードが存在
することを特徴とする請求項9の装置。

【請求項11】 フィールドモーション補償モードが存
在することを特徴とする請求項9の装置。

【請求項12】 画素フレームを表示するデジタルビデ
オ入力信号を受信する手段と、
前記フレームは不連続画素のフィールドからなる；デジ
タルビデオ入力信号のモーション補償推定を発生する手
段と、

画素フレームを表示する信号に応答してモーションベ
クトルを発生する手段と、
画素フィールドを表示する信号に応答してモーションベ
クトルを発生する手段と、

推定発生手段に入力するために、画素フレームを表示す
る信号に応答して発生されたモーションベクトルおよび
画素フィールドを表示する信号に応答して発生されたモ
ーションベクトルのうちの一つを選択する手段と、
選択手段により発生された選択に基づいて推定を発生す
る推定発生手段とからなるデジタルビデオ信号をエンコ
ーディングする装置。

【請求項13】 圧縮デジタルビデオビットストリーム
を受信する手段と、

コーディングタイプ信号に応答して、圧縮デジタルビデ
オビットストリームのフレームおよび圧縮デジタルビデ
オビットストリームのフィールドを選択的にデコーディ
ングする手段と、
からなることを特徴とする圧縮デジタルビデオ信号のデ
コーディング装置。

【請求項14】 デコーディング手段は、コーディング
タイプ信号に応答するアダプティブ反転走査手段からな
ることを特徴とする請求項13の装置。

【請求項15】 デコーディング手段は、
モーション補償タイプ信号に応答して、フレームモーシ
ョンベクトルおよびフィールドモーションベクトルに選
択的に応答して、デコード化ビデオ信号のアダプティブ
モーション補償推定を発生する手段と、
圧縮デジタルビデオビットストリームに応答して、デコ
ード化推定エラー信号を発生する手段と、
アダプティブモーション補償推定および推定エラー信号
に応答して、デコード化ビデオ信号を発生する手段とか
なることを特徴とする請求項13の装置。

【請求項16】 デコーディング手段は、コーディング
タイプ信号に応答して、圧縮デジタルビデオビットスト

3

リームを適合的に脱量子化する手段からなることを特徴とする請求項13の装置。

【請求項17】 デコーディング手段は、ビデオ信号に関連する少なくとも一つのDC係数表示からなる圧縮デジタルビデオ信号を受信する手段と、コーディングタイプ信号に応答して、推定DC係数を発生する手段と、DC係数表示および推定DC係数に応答してデコード化DC係数信号を発生する手段と、からなることを特徴とする請求項13の装置。

【請求項18】 複数のフィールドを有する少なくとも一つのビデオピクチャフレームを形成する画素の連続的なデジタル表示からなるデジタル入力ビデオ信号に応答する手段と、入力ビデオ信号に関連する圧縮コードを発生する手段と、デジタル入力ビデオ信号に応答して、圧縮コードの発生をコントロールするコーディングタイプ信号を発生するアダプティブフレーム/フィールドコーディングセレクタとからなることを特徴とするデジタルビデオ信号のエンコーディング装置。

【請求項19】 コーディングセレクタは、コーディングタイプ信号に応答して、デジタル入力信号を適合的に量子化する手段からなることを特徴とする請求項18の装置。

【請求項20】 フレームモーションベクトルおよびフィールドモーションベクトルに選択的に応答して、デジタル入力ビデオ信号のアダプティブモーション補償推定を発生する手段と、デジタル入力ビデオ信号とアダプティブモーション補償推定との間の差に関連する信号をコーディングする手段とを更に含むことを特徴とする請求項18の装置。

【請求項21】 コーディングタイプ信号に応答する表示に関連する記憶値を適合的に走査する手段を更に含むことを特徴とする請求項18の装置。

【請求項22】 複数のデジタル表示を1個のDC係数および複数個のAC係数に変換する手段と、コーディングタイプ信号に応答して予測DC係数を適合的に発生する手段と、変換手段により発生されたDC係数および予測DC係数に応答して、DC係数をエンコーディングする手段とを更に含むことを特徴とする請求項18の装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はビデオ信号のコーディング(符号化)およびデコーディング(符号解読)に関する。更に詳細には、本発明はデジタルビデオ信号の伝送および受信に含まれるアダプティブエンコーダおよびデコーダに関する。

【0002】

10

【従来の技術】 優れた品質のビデオシステムについて非常に大きな商業的重要性が予想されているので、ビデオ信号の発生、伝送および再生に関する品質の改善に対する努力が世界的に続けられている。これらの努力は、少なくとも一部は、解像度の向上に向けられている。解像度とは、ビデオ画像を電気信号に変換するのに使用される空間的および時間的サンプリング速度を増大することにより画像が表示電気信号に変換されることである。従って、この解像度の向上は、所定の速度で画像周囲のデータを多量に発生させ、処理し、そして伝送しなければならないことを意味する。

20

【0003】 テレビカメラの視野内の画像のようなビデオ画像は、所定の速度で走査され、そして、一連の電気信号に変換される。各電気信号は、一般的に、画素、ペルまたはピクセルと呼ばれ、画像の所定領域の特徴を表示する。所定の時刻内に一緒になる複数個の画素は所定の時刻内に画像の性質を示す別の画像を生成する。このようにして発生されたビデオ信号の品質の向上は、少なくとも一部は、所定の画像フレームを表示するために多量の微小サイズ画素の使用と、単位時間内に所定の多量の画像フレームの発生を含む。

30

【0004】 例えば、CCIR(国際無線通信諮詢委員会)第601号勧告は、フレーム内の画素数は、720水平画素×486垂直画素(米国または日本)あるいは576垂直画素(欧州)であると明記している。30または25飛越画像が毎秒ごとに発生される。高品位テレビ(HDTV)プロジェクトでは、それぞれ1200~2000画素を有する約700~1000本の水平走査線を有することを提案している。これらのHDTVプロジェクトは、毎秒25または30飛越画像あるいは毎秒60または50非飛越画像の発生を企図している。

40

【0005】 各画像フレームの画素数およびフレームの発生速度が増大するにつれて、所定の時間内に発生し、伝送し、そして受信しなければならないビデオデータ量も増大する。これらのシステムにより発生されたビデオ信号を圧縮し、これにより少量のデータを発生させることができ、この少量のデータが十分な情報量を有し、高品質なビデオ画像を再生させることができれば極めて好都合である。

50

【0006】 多数のデータ圧縮方法が提案されている。しかし、これらの方法は、低品質画像に使用されるものと同じビット数および同じビット速度を用いて高品質ビデオ画像の伝送を行おうとしている。このような方法の一つは、一連の画素の特徴を表示するデジタルビデオ信号を受信するエンコーダを必要とする。このエンコーダは、ビデオ信号のブロックを、画素ブロックにより表示される画像の領域内の空間周波数成分に関連する変換係数ブロックに変換する。次いで、周波数係数のブロックは量子化され、そして、何らかの所定の順序に従って走査される。量子化周波数係数は次いで、走査順序によつ

5
て決められた順に、可変語長コーダーに送られ、その後、量子化周波数係数をコーディングし、次いで、コーディング量子化周波数係数を伝送する。これらのコーディング量子化周波数係数を画素データビットの代わりに送れば、ビット量が少なくて済むことが発見された。

【0007】提案されている別のデータ圧縮方法は、ビデオ信号のセグメントの特徴を推定し、そして、ビデオ信号の実際のセグメントからこの推定量を引き、推定エラー信号を発生し、次いで、これをコーディングし、そして、実際のビデオ信号セグメントの代わりに伝送することからなる。この方法でも、画素信号の代わりに推定エラー信号を伝送すれば、一層少量のビット数しか伝送する必要のないことが発見された。

【0008】ビデオデータを圧縮する更に別 の方法は、画素データの伝送の代わりに、現行ビデオ信号セグメントおよび先行ビデオ信号セグメントの観点から計算されたモーションベクトルを示すデータを発生し、そして伝送することからなる。これらのモーションベクトルは、一層正確なビデオ信号推定および一層小さな推定エラー信号を発生するためのモーション補償を与えるために使用できる。これにより、ビデオ信号を伝送するために使用しなければならないビット数を減少することができる。

【0009】これらの方法は何れも、実際のビデオ信号から誘導されたデータを送ろうとしている。このデータはビデオ信号の受信機のデコーダにより使用され、実際のビデオ信号を画成するデータの限定部分集合から実際のビデオ信号を再生することができる。これらの状態で伝送しなければならない実際のビット数は、ビデオ信号内の各画素を画成するのに必要なビット数よりも少ない。従って、一層高解像度のビデオ信号と同じビット速度で伝送することができる。

【0010】これらの方法は何れも、情報を殆ど失うことなく、ビデオデータの適当な圧縮を或る程度まで上手く行うことができるが、ビデオデータのコーディングを改善し、伝送しなければならないビット数を減少させ、そして、ビデオデコーダにより正確な再生を行わせることができる決定的な方法は未だ開発されていない。

【0011】

【発明が解決しようとする課題】従って、本発明の目的は、ビデオデータのコーディングを改善し、伝送しなければならないビット数を減少させ、そして、ビデオデコーダにより正確な再生を行わせることができるデジタルビデオ信号のコーディング装置を提供することである。

【0012】

【課題を解決するための手段】ビデオデータの改善された圧縮は、アダプティブビデオフレーム／視野エンコーダおよびデコーダにより行われる。本発明の一例では、異なるサイズブロックのビデオデータを処理し、異なるモードのコーディングと、異なるモードのモーション推

10

定を行う。本発明の一実施例によるエンコーダの動作およびこれに対応するデコーダの動作はビデオ画像の特定の特徴に適合する。

【0013】このアダプティブ動作はビデオのフレームからの情報のコーディングおよびデコーディングまたはビデオフィールドからの情報のコーディングおよびデコーディングの方法間の変更を必要とする。より具体的な実施例では、本発明は、ビデオデータのフレームからの情報のコーディングおよびデコーディングまたはビデオデータの複数個の飛越フィールドの各々からの情報のコーディングおよびデコーディング間の適合を必要とする。

【0014】使用されるコーディングモードにより、特定の工程を、単独で、または組合せて採用し、ビデオデータの圧縮および回復を改善することができる。特定の実施例では、適當な量子化を選択し、異なる走査方法を適合させ、ビデオ信号の特定の成分の異なる予測方法を使用するか、または、異なるモーション圧縮モードを使用する。本発明の利点は、高品位テレビおよびビデオ電話通信システムなどのようなデジタルビデオ信号を必要とする全てのビデオシステムで有用である。

【0015】

【実施例】以下、図面を参照しながら本発明を更に詳細に説明する。

【0016】図1、2は本発明の一例による、アダプティブモーション補償予測／内挿エンコーダを示す。図1、2のエンコーダは入力ライン10にデジタルビデオ入力信号を受信し、そして、受信機に伝送するためにこれらのビデオ入力信号を圧縮する。受信機では、これらの圧縮信号を回復（引き延ばし）し、ビデオ画像を生成する。デジタルビデオ入力信号はビデオ画像の空間的および時間的サンプルであり、画像フィールドを走査し、そして、所定の箇所における画像フィールドの特徴に関連する電気信号を発生することにより発生させることができる。走査動作で決定された特徴は電気信号に変換され、そして、デジタル化される。ビデオ入力信号は連続的なデジタル語からなり、各語は、一般的に画素と呼ばれる画像フィールドの小さな領域の周囲の特定の時刻の何らかの情報に対応する。

【0017】特定の時刻における画像の完全な一連のデジタル表示はフレームまたはピクチャと呼ばれる。各フレームは一般的にフィールドと呼ばれる多数の小さな領域からなるものと見做すことができる。各フレームは、画像内の画素の奇数本および偶数本の水平線即ち行を示す2枚の飛越フィールドから構成されている。また、フレームは多数のマクロブロック、サブマクロブロックおよび画素ブロックを示すものと見做すこともできる。これらのブロックは例えば、画素の 16×16 マクロブロック、画素の 16×18 サブブロックおよび画素の 8×8 ブロックなどの同一限界内の画素群である。

20

30

40

50

7

【0018】デジタルビデオ入力信号はモノクロビデオ信号またはカラービデオ信号のどちらでもよい。モノクロビデオ信号の場合、各フレームは、ビデオ信号を形成する画素の2次元配列の輝度または強度の一連のデジタル表示からなる。カラービデオ信号の場合、各ピクチャは輝度成分ばかりでなく色成分も含む。例えば、CCIR第601号勧告では、カラービデオ信号ピクチャ（すなわち、画像の時間的サンプル）は、720水平画素×480垂直画素の輝度フレームと、360水平画素×240垂直画素の各1/4解像度におけるCdおよびCrの2つのクロミナンスフレームから構成されている。このような一連のピクチャは29.97ピクチャ/秒の速度で伝送される。輝度フレームは2成分CCIR-601輝度フィールドの飛越ユニオンとして形成され、一方、クロミナンスフレームは各4:2:2CCIR-601輝度フレームを濾波またはサブサンプリングすることにより演繹される。

【0019】本発明の特定の実施例を説明するために、下記の説明において、入力ライン10におけるビデオ信号はCCIR第601号勧告によるビデオ信号であると仮定する。言うまでもなく、本発明の原理はHDTVビデオ信号のようなその他のタイプのビデオ信号にも応用することができる。図1に示された本発明の実施例を説明するために、幾つかの技術用語を定義する。単一のブロックは同一限界内画素の8水平行×8垂直列である。複数のブロックは輝度データ群またはクロミナンスデータ群である。

【0020】マクロブロックは4個の同一限界内8×8輝度データブロックおよび、この4個の輝度データブロックにより表示されるイメージエリアに対応する2個の8×8クロミナンスデータブロックから構成されている。ライスはピクチャの左端から始まりピクチャの右端で終わるマクロブロックの1水平行である。輝度フレームは2つのCCIR601輝度フィールドの飛越ユニオンとして形成される。1つのフィールドは画素の偶数水平行からなり、他のフィールドは画素の奇数水平行からなる。

【0021】図1および図2に示された本発明の実施例では、複数個のピクチャタイプがエンコードおよびデコードされる。特に、I-ピクチャ、P-ピクチャおよびB-ピクチャがエンコードおよびデコードされる。I-ピクチャまたはコード内ピクチャは、他のピクチャに関する無くコードおよびデコードされるピクチャである。P-ピクチャまたは予測ピクチャは先行ピクチャに照らしてコードされるピクチャである。

【0022】モーション補償はP-ピクチャを発生するのに使用される。B-ピクチャまたは両指向性予測ピクチャは、先行のI-またはP-ピクチャおよび以後のI-またはP-ピクチャの特徴に照らしてコードされるピクチャである。P-ピクチャの場合のように、B-ピク

チャもモーション補償を用いることによりコードすることができます。適当な情況においては、P-ピクチャおよびI-ピクチャは、I-ピクチャのブロックがコードされたとの同じ方法（すなわち、他のピクチャ（“イントラ(intra)コーディング”）に無関係に）でコードされた数個のブロックを有することができる。

【0023】この実施例で使用されているピクチャ群(GOP)構造は、モーションピクチャエキスパート群(MPEG)言語でN=12およびM=3のものである。このGOPは1個の内部コード化I-ピクチャ、3個の予測コード化P-ピクチャおよび8両指向性予測コードB-ピクチャからなる。このGOPは、完全なI-ピクチャが12/29.97(約0.4)秒毎に発生することを確実にする。従って、この値は、ビットストリームからピクチャを獲得する最大遅延時間である。

【0024】ピクチャはマクロブロックに分割される。マクロブロックは16×16輝度ブロックと、これに併置された8×8Cd-およびCr-ブロック（各1つ）を足したものである。しかし、この定義は簡単に拡大され、CCIR-601垂直輝度解像度を満たすことができる。16×16輝度ブロックは2個の8×8Cdおよび2個の8×8Crブロックに付随する。マクロブロックはモーション補償および量子化を定義する単位である。ライスは、ピクチャの左端から始まり、右端で終わる、マクロブロックの1行と定義される。

【0025】入力ライン10のデジタルビデオ入力信号は、図1、2に示されたエンコーダにより、圧縮ビットストリームにエンコードされる。次いで、出力ライン26から受信機を有する別の位置に伝送される。この受信機において圧縮ビットストリームをデコードし、ビデオ画像を発生する。図1、2のエンコーダの重要な特徴の一つは、適当な情況において様々なコーディング技術を使用し、ライン10のビデオ入力信号を効率的に圧縮し、そして、情報を殆ど失うことなくデコードでビデオ画像を正確に再生できることである。

【0026】特に、図1、2のエンコーダはそのコーディング動作を適応的に選択し、ビデオ信号内のフレームのコーディングまたはビデオ入力信号のフレーム内の飛越フィールドのコーディングの何れかを行う。ビデオ入力信号に使用すべきコーディングタイプが選択されたら、ビデオデータの圧縮に使用される様々な技術は、図、21のエンコーダにより適合されるコーディング技術に照らして、適合方法を改善させることができる。例えば、以後のビデオ信号の推定技術を一層正確なものに改善することができる。これらの推定技術と共にモーション補償を使用する技術も改善することができる。更に、量子化方法、走査技術、D.C.係数予測および可変語長コーディングなどのような事項も改善することができる。

【0027】2種類の基礎的な量子化およびコーディングモードはマクロブロックのフレームコーディングおよ

びフィールドコーディングについて考慮される。これらの量子化およびコーディングモードはモーション補償モードとは完全に無関係である。フレームコーディングの場合、4個の 8×8 輝度サブブロックがマクロブロックから形成される。フィールドコーディングの場合、4個の 8×8 輝度サブブロックが、2個のフィールドのラインを切り離すことにより、マクロブロックから導かれる。

【0028】各サブブロックは1個のフィールドのラインのみを含有する。フレームコーディングは、2個のフィールド間で殆どモーションがないフィールドコーディングよりも優れている。また、詳細な移動エリアが存在する場合にはフィールドコーディングのほうが優れています。モード決定は、全体マクロブロックについて、画素定義域内で一度だけ行われる。次いで、 8×8 DCTを、選択されたモードに応じて、各フレームサブブロックまたはフィールドサブブロックに適用する。

【0029】図1、2の入力ライン10のデジタルビデオ入力信号は加算素子11へ非変換入力される。加算素子11の変換入力は、ライン10のビデオ入力信号の推定に関連するライン12の信号を受信する。P-ピクチャの推定は過去のI-およびP-ピクチャに照らして行われた予測に基づく。B-ピクチャの推定は過去および将来のI-およびP-ピクチャに照らして行われた予測に基づく。I-ピクチャおよびP-およびB-ピクチャの内部コード化部分については推定は行われない。

【0030】このため、これらの状態におけるライン12の推定信号は、ライン12と直列に設けられたインター(inter)／イントラタイプのスイッチング素子13bの開放により図1、2に示されているように、ゼロである。加算素子11はライン13に出力信号を発生する。この信号は、ライン10のデジタルビデオ入力信号とライン12の推定信号との間のエラーに関連する。ライン13の推定エラー信号は、ブロックアダプティブフレーム／フィールドコーディングアナライザ14に入力される。コーディングアナライザ14は、スイッチング素子13aの状態に応じて、ライン10のビデオ入力信号またはライン13の推定エラー信号の所定の特徴を検査し、そして、図1、2のエンコーダにより使用すべきコーディングタイプに関する決定を行う。

【0031】スイッチング素子13aがライン13をアナライザ14の入力に接続する場合、アナライザ14は、ライン13の推定エラー信号のフレームをコードするか、または推定エラー信号の飛越フィールドをコードするか、何れが好都合か否か決定する。スイッチング素子13aがライン10の入力信号をアナライザ14の入力に接続する場合、アナライザは、ライン10の入力信号のフレームをコードするか、または、ライン13の入力信号の飛越フィールドをコードするか、何れが好都合か否か決定する。アナライザ14の決定の性質

は、ライン15のコーディングタイプ信号の発生により示される。

【0032】飛越走査技術により発生されるビデオ入力信号を用いる本発明の特定の実施例では、セレクタ14は、入力信号または推定エラー信号内の隣接または交互水平走査線に類似性が有るか無いかを観察してチェックする。セレクタが隣接走査線間の相違が交互走査線間の相違よりも小さいことを発見した場合、セレクタ14はライン15にコーディングタイプ信号を発生する。この信号は、推定エラー信号または入力信号におけるビデオ情報のフレームが図1、2のエンコーダによりコードされるべきことを指示する。セレクタ14が隣接走査線間の相違が交互奇数および偶数走査線間の相違よりも大きいことを発見した場合、セレクタ14はライン15にコーディングタイプ信号を発生する。この信号は、奇数番号の付された走査線の各フィールドおよび偶数番号の付された各フィールドが別々のコードされるべきことを指示する。

【0033】ライン10の入力信号またはライン13の推定エラー信号は、スイッチング素子13aの状態の応じて、ブロックフォーマッティング回路15aの入力に選択的に向けられる。フォーマッティング回路15aはまた、ライン15のコーディングタイプ信号に対しても応答性があり、ライン10またはライン17の適正な順序でライン13の何れかの信号をディスクリートコサイン変換回路16に入力する。

【0034】フィールドコーディングがセレクタ14により選択された場合、ライン10の入力信号またはライン13の推定エラー信号からなるデータの順序は変更され、最初の奇数番号走査線は入力ライン17のディスクリートコサイン変換回路16に連続的に入力され、続いて、奇数番号走査線が連続的に入力される。あるいは、この逆の順序で行われる。次いで、ディスクリートコサイン変換回路16は偶数番号または奇数番号走査線の何れかの各サブマクロブロックを、各サブマクロブロックにより表示される画像部分の空間周波数成分を示す変換係数のマトリックスに変換する。

【0035】セレクタ14によりフレームコーディングが選択された場合、各マクロブロックは、ライン13上のセレクタ14に入力された順序に従って、ライン17上のディスクリートコサイン変換回路16に送られる。その後、ディスクリートコサイン変換回路16は、マクロブロック内の各ブロックを、各マクロブロックにより表示される画像部分の空間周波数成分を示す変換係数の同様なサイズのマトリックスに変換する。

【0036】全マクロブロックのフレームコーディングおよび奇数番号および偶数番号走査線を示すサブマクロブロックのフィールドコーディングに加えて、セレクタ14は、マクロブロックのサイズよりも小さい同一限界内ブロック群のような他の種類のサブマクロブロックを

コードするために図1のエンコーダが使用されるように配列することもできる。
図1は変換回路1.6によ

配列することもできる。
【0037】ディスクリートコサイン変換回路16により発生された変換係数は、出力ライン18上の、可視性マトリックスセレクタおよび知覚性量子化回路19に入力される。量子化回路19は、ライン20上の量子化回路19と通信されたデジタル入力信号の特徴に照らして、また、ライン20上の量子化回路19と通信された推定エラー信号の特徴に照らして決定された複数個の可視性マトリックスおよび量子化パラメータのうちの一つにおける所定のスケーリングファクタにより、ディスクリートコサイン変換回路16からの各変換係数を分割する。

る。

【0038】量子化された変換係数の量も、ライン15
上のセレクタ14により発生されたコーディングタイプ
信号により決定される。コーディングタイプ信号は量子
化回路19により使用され、ディスクリートコサイン変
換回路からの変換係数に適用される量子化レベルを調節
し、量子化回路19の動作により発生されるビデオ信号
の圧縮を改善する。

の圧縮を改善する。
【0039】AC係数量子化の場合、5ビット量化ハ
ラメータおよび一連の量子化回路マトリックスが使用さ
れる。量子化は非イントラコーディング用のデッドゾー
ンを用いて、および、イントラコーディング用のデッドゾー
ンを用いることなく行われる。本発明のこの実施例
では、4種類の異なる量子化回路マトリックスを可能にす
る。イントラ／非イントラおよびフレーム／フィール
ドコード化マクロブロックの組合せの各々について一
つのマトリックスが可能である。特定されたマトリック
スの不履行は存在しない。使用されたマトリックスは連
続層で負荷され、そして、伝送される。Cd-およびC
r-サブブロックは輝度サブブロックと同じマトリック
スを使用する。

【0040】 I-ピクチャでは、全てのマクロブロックがコードされ、5ビット量子化パラメータは全てのマクロブロックについて伝送される。P-およびB-ピクチャでは、若干のマクロブロックはコードされていない。1ビットフラグは各マクロデータを含むこともできる。1ビットフラグは各マクロブロックについて送られ、マクロブロックがコードされたか否か信号を出す。P-ピクチャでは、その後、量子化パラメータが全てのコード化マクロブロックについて伝送される。

【0041】B-ピクチャでは、5ビット量子化パラメータは全てのスライスのスタート時に伝送される。2ビットインデックス（Mスケール加算器を意味する）は、4個の乗算器（これら全て連続層で伝送される）のうち一つを識別するスライス内の全てのコード化マクロブロックについて伝送される。スライス量子化パラメータは選択された乗算器（Mスケールを意味する）により掛け算され、その積は最も近い整数に丸められ、そして、

5ビットに限定される。得られた数字はそのマクロプロセク用の量子化パラメータとなる。

【0042】コード化ブロックパターンフレームワーク
(マクロブロック内部のサブブロックがコード化データ
を有することについて信号を出すためのもの) はB-ビ
クチャについてだけ使用される。

クチャについての使用を
【0043】AC係数が量子化されたら、この係数を伝
送用にコード化する。走査マトリックス（“走査”）
は、マトリックスがエンコーディングのために処理され
る順序を規定する。2種類の固定走査が規定される。一
つは、フレームコーディングモードで使用するための
ものであり、他方はフィールドコーディングモードで
使用するためのものである。これらの走査は本発明のこ
の実施例におけるピクチャタイプについて変化しない。
図5と図6を参照。

【0044】ランレンジスとレベルの組合せは、非ゼロ量子化AC係数についてVLコード化される。I-およびP-ピクチャにおける各マクロブロックについて、エンコーダは少數のコードブックから1つのコードブックを選択することができる。本発明のこの実施例では、I-ピクチャ用に4種類のコードブックとP-ピクチャ用に4種類のコードブックを使用する。これらの8種類のコードブックは基本的に、一連のコードワードを入れ替えることにより導かれる。その他のものの中でも、このコードワードは、ブロック(EOB)コードワード(2, 3または4ビット)の長さで相違する。各コードブックの上端左コーナーのコードワードの長さは図7～図14に示されている。

図14に示されている。【0045】I-またはP-ピクチャにおける特定のマクロブロックについて、最小のビットカウントを產生するコードブックが選択され、そして、2ビット識別子を有するデコーダに信号が出される。B-ピクチャでは、コードブック選択に関するこのオーバーヘッドは過剰であると判断される。従つて、一つの固定コードブックがB-ピクチャ内の全てのマクロブロックについて使用される。このコードブックはP-ピクチャについて使用される4種類のうちの一つである。このコードブックは図8に示されるようなものである。

【0046】図1、2において、量子化变换器
選択回路2.3により所定の順序で走査され、そして、エンコーダおよびマルチプレクサ2.4に送られる。このマルチプレクサは変換係数の固定語長コーディング間で、または変換係数の一種類以上の可変語長コーディングを選択することができる。走査アナライザ2.3は、変換係数をエンコーダおよびマルチプレクサ2.4に送るのに使用される複数個の妥当な走査順序のうちの一つを決定する。走査セレクタ2.3が選択する順序は、最小のビット数で変換係数を最も効率的にコード化するためにエンコーダおよびマルチプレクサ2.4により最も効率的に使用される順序に基づく。

13

【0047】例えば、フレームコーディングが使用されている場合、走査セレクタ23は、量子化回路19における量子化変換係数のジグザグ走査を行うように形成することができる。フィールドコーディングが使用されている場合、走査セレクタ23は、量子化回路19における量子化変換係数の垂直走査を行うことができる。量子化変換係数の走査に使用することができる走査方法のうちの一つは、エンコーダおよびマルチプレクサ24への連続伝送と統一的に、同様な数値化係数をグループ化する方法である。

【0048】フレームブロック走査およびフィールドブロック走査のための走査順序の具体例を図15、6に示す。類似値係数と一緒にグループ化された場合、エンコーダ24により、可変語長コーディングのような一層エンコーダ24により、可変語長コーディングのような一層効率的なコーディングが使用される。長い語長を使用し、高い値の係数を表示することができる。一方、短い語長を使用し、ゼロまたはゼロ付近の値の係数を表示することができる。ブロック(EOB)コードの末端を使用し、複数個の類似値係数を伝送できる。

【0049】下記で一層詳細に説明するように、図1の回路は可変語長選択アナライザ23aを含む。このアナライザ23aは、走査セレクタ23およびライン32からライザ23aは、走査セレクタ23およびライン32からピクチャタイプ信号によりDCT係数出力に応答する。アナライザ23aは可変語長テーブル選択信号を発生する。この信号はエンコーダおよびマルチプレクサ24に入力され、異なる種類の固定語長およびDCT係数の可変語長コーディングを行うのに使用することができる。

【0050】エンコードされた変換係数に加えて、エンコーダおよびマルチプレクサ24はエンコードされた変換係数と共に、多数のコントロール信号を受信する。このコントロール信号は、図1におけるエンコーダで発生されたコード化信号からビデオ画像を生成するために、ビデオ信号受信機におけるデコーダにより使用される。これらのコントロール信号は、量子化回路19とエンコーダおよびマルチプレクサ19の間のライン30で発生された量子化パラメータに関連する信号を含む。

【0051】また、これらのコントロール信号は、図1に示されていない独立に運転されるシークエンサにより発生される、ライン32上のピクチャタイプ信号も含む。図4は、使用される一連のI-, P-およびB-ピクチャの具体例を示す。ライン32のピクチャタイプ信号は図1のエンコーダにより発生されるピクチャの種類、すなわち、前記のI-, P-およびB-ピクチャの何れかを示す。

【0052】エンコーダ24で発生された語はバッファ25に送られる。次いで、これらの語は、適当な時間で、エンコーダ出力ライン26に出力ビットストリームとして出力される。ライン27で完全信号が発生されると、この完全信号は量子化回路19に入力される。これ

によりその動作をコントロールし、バッファ25のオーバーフローまたはアンダーフローを防止する。

【0053】デジタルビデオ入力信号の推定値の発生について説明する。走査セレクタ23の出力の変換係数を反転走査セレクタ28に入力する。この反転走査セレクタ28は、この変換係数を、走査セレクタ23により走査される前に量子化回路19において有していた元の順序に再配列する。図1に示されるように、反転走査セレクタ28は、ライン15のコーディングタイプ信号にも応答する。この信号は、反転走査セレクタ28に、量子化変換係数が走査セレクタ23により順序付けられた所定の順序を通知する。従って、この信号は、反転走査セレクタ28が正しい反転走査順序を使用できる機構である。

【0054】反転走査セレクタ28により再順序付けされたような変換係数は、可視性マトリックスセレクタおよび脱量子化回路29に送られる。この脱量子化回路29は、本質的に量子化回路19の動作を逆転させる、変換係数に対する反転量子化処理を行う。図1に示されるように、脱量子化回路29はライン15のコーディングタイプ信号および量子化回路19により発生される量子化パラメータに対して応答し、正しい脱量子化手順を決定する。

【0055】脱量子化回路29の出力は反転ディスクリートコサイン変換回路34に入力される。この回路34は、ライン13で発生された推定エラー信号に応じた出力信号を発生する。反転ディスクリートコサイン変換回路34の出力信号は加算素子36に非反転入力される。加算素子36は、その反転入力として、ライン10のビデオ入力信号の推定に関連するライン38上の信号を受信する。加算素子36の出力は、加算素子36の出力と次のピクチャ記憶装置36aの入力との間の次の書き込みチップ36bを介して、次の先行ピクチャ記憶装置36aに送られる。加算素子36の出力は図1のエンコーダによりコード化されたビデオデータのフレームを示す。ピクチャを次のピクチャ記憶装置36aに書き込むと、次のピクチャ記憶装置36aに先に記憶されていたピクチャは、先の書き込みスイッチング素子36dの閉鎖により、先行ピクチャ記憶装置36cに書き込まれる。

【0056】モーション推定回路37はライン10からのデジタルビデオ入力信号、記憶装置36aおよび36cの内容に関連する信号およびライン32からのピクチャタイプ信号を受信する。モーション推定回路37はモーションベクトルに関連する信号を発生する。このモーションベクトルは、ライン10でビデオ入力信号の推定または予測を行う推定回路38により使用される。推定回路38は、記憶装置36aおよび36cの内容およびモーション推定回路37により発生されたモーションベクトルに応答し、ライン10上のビデオ入力信号のモーション補償推定を行う。

【0057】推定回路38により行われたモーション補償推定（前記のビデオ信号マクロブロック構造を含む）は、マクロブロックが輝度画素の2つの飛越フィールド8により、モーション補償の2種類の主たるカテゴリー、即ち、フレームモーション補償モードおよびフィールドモーション補償モードが使用される。フレームモーション補償モードでは、全フレームの画素は基準フレーム内の画素からマクロブロック基礎によりマクロブロック上で予測される。フィールドモーション補償モードでは、1フィールドの画素は、この1フィールドに対応する基準フィールドの画素のみから予測される。例えば、奇数番号走査線のフィールド内の画素は奇数番号走査線の基準フィールド内の画素のみから予測される。

【0058】画素のフレームまたはフィールドの予測に基づく異なるモーション補償モードを有することに加えて、取り扱われているピクチャのタイプに基づく他の補償モードも存在できる。補償モードは、P-ピクチャまたはB-ピクチャが予測されているか否かに基づくこともできる。（I-ピクチャについては予測は行われない。）モーション補償タイプの具体例を下記に要約する。

【0059】A. P-ピクチャ用のモーション補償モード

【0060】1. 16×16フレームモーション補償モード（タイプ1）：このモードでは、16×16輝度ブロックが基準フレームから別の16×16ブロックにより補償される。この基準フレームは一つの順方向モーションベクトルを用いて引き出される。飛越フィールドの画素走査線間の区別は行われない。予測ブロックは基準フレームの両方のフィールドの画素を含む。

【0061】2. 16×8フレームモーション補償モード（タイプ2）：このモードでは、16×16輝度ブロックは境界の水平線により、上部16×8サブブロックと下部16×8サブブロックに分割される。各サブブロックは順方向モーションベクトルを用いて別個に補償される。ここでも、輝度サブブロックを形成する2個の飛越フィールドの走査線間の区別は行われない。2つのモーションベクトルが生成され、そして、このモードで各マクロブロックについて伝送される。

【0062】3. 16×8フィールドモーション補償モード（タイプ3）：このモードでは、16×16輝度ブロックは、フィールド極性、すなわち、奇数番号および偶数番号走査線により、2個の16×8サブブロックに分離される。各16×8サブブロックは、元の16×16輝度ブロック内の飛び越しフィールドのうちの一つの画素線のみを含有する。各フィールドサブブロックは、基準フレーム内の同じ極性のフィールドの画素走査線から導かれる16×8サブブロックを有する別の順方向モーションベクトルを用いて別個に補償される。2つのモー

ションベクトルが生成され、そして、このモードで各マクロブロックについて伝送される。

【0063】B. B-ピクチャ用のモーション補償モード

【0064】1. 16×16両指向性（PおよびN）フレームモーション補償モード（タイプ3）：順方向（先の[P]フレームから見て）モーションベクトルは、過去基準フレームから16×16ブロックを引き出す。逆方向（新たに[N]フレームから見て）モーションベクトルは、未来基準フレームから16×16ブロックを引き出す。16×16ブロックを平均化し、最終予測ブロックを产生する。

【0065】2. 16×16順方向（P）単指向性フレームモーション補償モード（タイプ1）：これは、各マクロブロックについて一つの順方向モーションベクトルしか使用しない順方向単指向性予測モードである。

【0066】3. 16×16逆方向（N）単指向性フレームモーション補償モード（タイプ2）：これは、各マクロブロックについて一つの逆方向モーションベクトルしか使用しない逆方向単指向性予測モードである。

【0067】4. 16×8フレームモーション補償モード（タイプ4）：上部順方向（P1）および下部逆方向（N2）：このモードでは、16×16輝度ブロックは境界の水平線により上部16×8サブブロックと下部16×8サブブロックに分割される。上部サブブロックは、過去基準フレームから16×8ブロックを引き出す順方向モーションベクトルを用いて補償される。下部サブブロックは、未来基準フレームから16×8ブロックを引き出す逆方向モーションベクトルを用いて補償される。2つのモーションベクトルが生成され、そして、このモードで各マクロブロックについて伝送される。

【0068】5. 16×8フレームモーション補償モード（タイプ5）：上部逆方向（N1）および下部順方向（P2）：このモードは前記のモードB. 4に類似している。上部サブブロックは逆方向モーションベクトルを用いて補償され、下部サブブロックは順方向モーションベクトルを用いて補償される。

【0069】6. 16×8フィールドモーション補償モード（タイプ6）：奇数順方向（P1）および偶数逆方向（N2）：このモードでは、16×16輝度ブロックはフィールド極性により2個の16×8フィールドサブブロックに分離される。フィールドサブブロックの一方は、奇数番号画素走査線を含み、他方は偶数番号画素走査線を含む。奇数番号フィールド走査線を含む16×8フィールドサブブロックは、順方向モーションベクトルおよび過去基準フレームの奇数番号走査線のみから導かれた別の16×8フィールドサブブロックを用いて補償される。同様に、偶数番号フィールド走査線を含む16×8フィールドサブブロックは、逆方向モーションベクトルおよび未来基準フレームの偶数番号走査線のみ

(10)

17

から導かれた 16×8 フィールドサブブロックを用いて補償される。2つのモーションベクトルが生成され、そして、このモードで各マクロブロックについて伝送される。

【0070】 7.16×8 フィールドモーション補償モード(タイプ7)：奇数逆方向(N1)および偶数順方向(P2)：このモードは前記のモードB、6に類似している。奇数番号フィールド走査線を含む 16×8 フィールドサブブロックは、逆方向モーションベクトルおよび未来基準フレームからのサブブロックを用いて補償され、偶数番号フィールド走査線を含む 16×8 フィールドサブブロックは、順方向モーションベクトルおよび過去基準フレームからのサブブロックを用いて補償される。2つのモーションベクトルが生成され、そして、このモードで各マクロブロックについて伝送される。

【0071】このようにして、モーション推定回路37は様々なモーション補償モードを遂行するのに必要なモーションベクトルを発生することができる。これらのモーションベクトルはライン39を介して推定回路38に伝送され、そして、推定回路で使用され、ライン10ににおけるビデオ入力信号のアダプティブモーション補償予測を行う。

【0072】推定回路は2個の主要部からなる。ブロックアダプティブフレームフィールド単/両指向性モーション補償予測アナライザ38aと、ブロックアダプティブフレームフィールド単/両指向性モーション補償予測ブレクタ38bである。予測アナライザ38aは、モーション推定回路37により発生されたモーションベクトル、ライン32からのピクチャタイプ信号および次のピクチャ記憶装置36aと前のピクチャ記憶装置36cの内容に対して応答する。

【0073】予測アナライザ38aは、ライン38c上にモーション補償タイプ信号を発生する。この信号は、ビデオ入力信号の推定値をライン10に発生するために前記の補償モードのようなモーション補償モードのうちの何れが使用されているか識別する。予測セレクタ38bは、モーション予測回路37およびライン38cのモーション補償タイプ信号により計算されたモーションベクトルのうちの適当なものを採取し、ビデオ入力信号の推定値を計算する。推定値は、記憶装置36aおよび36cに記憶されたフレームのうちの適当なものに照らして発生される。

【0074】各モーションベクトル成分は前記の伝送成分配連して別々にエンコードされる。モーション予測回路37により発生されたモーションベクトルもライン40を介して、モーションベクトル予測回路41および40を介して、モーションベクトル予測回路41および加算素子42に伝送される。モーションベクトル予測回路41もライン32のピクチャタイプ信号およびライン38cのモーション補償タイプ信号を受信する。回路41は、推定回路38により使用されているモーション補

10

償モードを識別する。回路41は出力信号を加算素子42に反転入力する。この出力信号は、モーション予測回路37により発生されたモーションベクトルの予測値に関連付けられる。

【0075】加算素子42はライン40のモーションベクトル信号からモーションベクトル推定値を引き算し、モーションベクトル差信号を発生する。この差信号はエンコーダおよびマルチプレクサ24に入力される。エンコーダおよびマルチプレクサ24は、ライン26の出力ビットストリームに挿入するために、モーションベクトル差信号をバッファ25に送る。モーションベクトル差信号はデコーダにより使用され、ライン10のビデオ入力信号によりビデオ画像を再生する。

【0076】デコーダおよびマルチプレクサ24はライン43のブロック分類信号も受信する。この信号は、前記のピクチャタイプ信号、コーディングタイプ信号およびモーション補償タイプ信号に応じて、ブロックタイプ分類回路44により発生される。

【0077】ブロックタイプ分類回路44はライン44aのインター/イントラタイプ信号も受信する。この信号は、ビデオのブロックを分類するためにインターコーディングまたはイントラコーディングが使用されているか否か識別する。インター/イントラタイプ信号はインター/イントラアナライザ回路44bにより発生される。この回路はライン10のビデオ入力信号およびライン13の推定エラー信号を受信する。

【0078】アナライザ回路44aは入力信号および推定信号内に存在するエネルギーを決定し、そして比較し、更に、インターまたはイントラコーディングを使用すべきか否かに関する決定を行う。インター/コーディング、すなわち、ライン13の推定エラー信号のコーディングは、推定エラー信号のエネルギーが入力信号のエネルギーよりも低い場合に、P-およびB-ピクチャについて使用される。シーン変更がある場合のように、P-およびB-ピクチャにおいて時々は、イントラ様式でコードする、すなわち、ライン17の推定エラー信号の代わりにライン10の入力ビデオ信号をコードすることが好都合なこともある。これは、ライン10のビデオ入力信号のエネルギーがライン13の推定エラー信号のエネルギーよりも低い場合に該当する。

【0079】この状態がアナライザ回路44bにより検知された場合、インター/イントラタイプ信号はイントラコーディングを使用すべきであると指示する。図1に示されるように、アナライザ44bからのインター/イントラタイプコーディング信号はスイッチング素子13aの状態およびインター/イントラタイプスイッチング素子13bの状態をコントロールする。アナライザ44bからのインター/イントラコーディングタイプ信号は量子化回路19にも入力され、ビデオデータがコードされている方法に従って量子化動作をコントロールする。

50

18

19

インター／イントラコーディングタイプ信号は、エンコーダおよびマルチプレクサ24に送られたブロック分類信号の一部分でもある。

【0080】ライン43のブロック分類信号は、ライン26の出力ビットストリームに挿入するために、エンコーダおよびマルチプレクサ24によりバッファ25に送られる。ブロック分類信号はライン10のビデオ入力信号により画像を生成するためにデコーダにより使用される。

【0081】I-ピクチャ内の全てのマクロブロックはイントラコード化されている。マクロブロックのイントラコーディングはP-およびB-ピクチャについても可能である。イントラコード化マクロブロック（フィールドまたはフレームモード）では、各サブブロックのDC係数は255個のレベルに均一に量子化される。次いで、DC予測を使用し、DE係数をエンコードするのに必要なビット数を減少させる。輝度DC予測については、フレームおよびフィールドコーディングモード間のスイッチングの効率を高めるために2個の予測回路が使用される。クロマDC予測の場合、一方の予測回路は各カラー成分を担当する。スライスの開始時および非イントラコード化マクロブロックにおいて、全てのDC予測回路をゼロにリセットする。

【0082】ディスクリートコサイン変換回路16により発生されたイントラコード化DC係数の振幅に関するライン47の信号は、イントラDC係数予測回路45に入力され、更に、加算素子46に非反転入力される。ライン47のスイッチ48は、ディスクリートコサイン変換回路16により発生されたイントラコード化DC係数だけの方向を、イントラDC係数予測回路45および加算素子46に符号入力する。

【0083】予測回路45はコーディングアナライザ14により発生されたコーディングタイプ信号も受信する。予測回路45はイントラコードDC係数の予測値に関する信号を出力し、この出力信号を加算素子46に反転入力する。加算素子46はDC係数から予ラDC係数を受信する。加算素子46はDC係数を引き算し、DC係数予測値差信号を発生する。このDC係数予測値差信号はエンコーダおよびマルチプレクサ24に入力される。DC係数予測値差信号はエンコーダおよびマルチプレクサ24によりバッファ25に入力され、出力ライン26のビットストリームに挿入される。デコーダはこのDC係数差を使用し、ビデオ入力信号10により画像を構成する。

【0084】図15は、図1に示されたようなエンコーダにより発生された出力ビットストリームをデコードするのに使用できる、アダプティブモーション補償単／両指向性予測／内挿デコーダを示す。入力ビットストリームは入力ライン50で図2のデコーダにより受信される。ライン50上の入力ビットストリームはバッファ5

10

20

30

30

40

50

20

2に入力され、次いで、可変語長デコーダおよびデマルチプレクサ54に送られる。このデコーダおよびデマルチプレクサ54は、図1に示したエンコーダおよびマルチプレクサ24により発生されたエンコーディングおよび多重化の反対のデコーディングおよび脱多重化動作を行う。デコーダおよびデマルチプレクサ54は、ライン56に図1の量子化ディスクリートコサイン変換係数を出力する。

【0085】反転走査セレクタ64は入力ライン56に出現した係数の順序を、図1の量子化回路19で出現した係数の順序と同じ順序に並べ直す。反転走査セレクタ64は、反転順序で受信する係数を可視性マトリックスセレクタおよび脱量子化回路66に送る。脱量子化回路66は、ライン68のコーディングタイプ信号、ライン70のピクチャタイプ信号およびデコーダとデマルチプレクサ回路54による図2のデコーダに対するビットストリーム入力から回復されたライン68aの量子化パラメータに応答し、図1の量子化回路19により行われた量子化と反対の脱量子化を行う。

【0086】I-ピクチャおよびP-とB-ピクチャのイントラコード化部分に関するイントラDC変換係数は、デコーダおよびデマルチプレクサ54によりデコードされ、かつ、脱多重化されたようなDC係数差を受信する。加算素子58はまた、ライン57のイントラDC係数信号およびライン68のコーディングタイプ信号にも応答する予測回路60からイントラDC係数予測信号を受信する。

【0087】スイッチング素子66aの状態はコントロールされ、脱量子化回路66の出力としてのDCT係数信号とライン57のDC係数信号との間で、反転ディスクリートコサイン変換回路72の入力ラインをON/OFFする。脱量子化変換係数およびイントラDC係数はスイッチング素子66aにより反転ディスクリートコサイン変換回路72に送られる。この回路72は、図1のディスクリートコサイン変換回路16により行われる変換動作と逆の変換動作を行う。図2の反転ディスクリートコサイン変換回路72の出力は、I-ピクチャおよびP-とB-ピクチャのイントラコード化部分の場合の入力ライン10のビデオ信号のデコード化バージョンまたは図1のライン13の推定エラー信号のデコード化バージョンである。

【0088】変換回路72からの出力信号は、図1のブロック15aにより行われたフォーマッティング動作と反対の、非フォーマッティング動作を行うブロックフォーマッティング回路72aに入力される。非フォーマッティング回路72aの出力は加算素子74に入力される。加算素子74の別の入力信号として、ライン76の推定値信号を受信する。加算素子74の出力は非フォーマッティング回路72aからの推定エラー信号とライン76の推定値信号との間の差に関連し、図1のライン1

21

0のビデオ入力信号と類似の、ライン78のビデオ出力を構成する。

【0089】図15のデコーダおよびデマルチプレクサ54は、図1のエンコーダから受信したブロック分類信号を入力ライン82を介してブロックタイプ脱分類化回路80に向ける。ブロックタイプ脱分類化回路80は、ライン68のコーディングタイプ信号、ライン70のピクチャタイプ信号、ライン88のモーション補償タイプ信号およびライン88aのインター／イントラタイプ信号を発生する。これらの信号は、図1のエンコーダにより発生された、コーディングタイプ、ピクチャタイプ、モーション補償タイプおよびインター／イントラタイプの信号類に対応する。

【0090】デコーダおよびデマルチプレクサ54は、図1のエンコーダにより送られたビットストリームからモーションベクトル差信号も受信し、ライン90のモーションベクトル差信号を加算素子92に入力する。加算素子92には更に、ライン96に沿ってモーションベクトル予測回路94からの別の信号も入力される。モーションベクトル予測回路94はライン88のモーション補償タイプ信号、ライン70のピクチャタイプ信号およびライン98aの選択モーションベクトルに応答し、加算素子92に入力されるモーションベクトル予測信号を発生する。

【0091】加算素子92の出力はライン98のモーションベクトル信号であり、この信号はモーション推定回路37により発生されたモーションベクトル信号に対応し、図1の回路により行われるエンコーディングに使用される。モーションベクトル信号は入力ライン102の推定回路100に送られる。次のピクチャ記憶装置100aは、スイッチング素子100bの選択的な開放および閉鎖によりライン78のビデオ出力信号に応答し、ビデオ出力信号の選択フレームを記憶する。情報の新しいフレームを記憶装置100aに書き込むと、記憶装置100a内の前のフレームはスイッチング素子100dの閉鎖により先行ピクチャ記憶装置100cに書き込まれる。

【0092】推定回路100は、記憶装置100aおよび100cの内容、ライン102のモーションベクトル、ライン88のモーション補償タイプ信号およびライン70のピクチャタイプ信号に応じて、図1の推定回路38により発生された推定信号と同様な方法で、ライン78のビデオ出力信号の推定信号をライン76に発生する。図1におけるように、ライン76を有する直列状スイッチング素子100eは、I-ピクチャがデコードされているか、または、P-およびB-ピクチャのイントラコード化部分が含まれている場合に、加算素子74の入力からの推定信号を接続しないように機能する。

【0093】図16は本発明によるブロックアダプティブモーション補償予測回路106のブロック図である。

10

20

30

40

50

22

デコードされたピクチャはライン108で受信される。図16の回路は、前記のP-ピクチャについて識別されたモーション補償モードに従ってP-ピクチャの予測信号を発生する。デコード化されたピクチャは、図1の加算素子36の出力、または、図15の加算素子74の出力の何れかから受信することができる。ライン108のデコード化ピクチャは先行ピクチャ記憶装置36cまたは100cで受信される。先行ピクチャ記憶装置からのデコード化ピクチャは、スイッチング素子110に入力される。このスイッチング素子は、モーション補償タイプ信号に応じて3本あるラインの何れか1本にデコード化ピクチャを選択的に出力する。

【0094】モーション補償タイプがタイプA. 1である場合、デコード化ピクチャはフレームマクロブロックモーション補償予測回路112に送られる。この回路は、予測回路106のライン114にモーション補償予測信号を出力する。モーション補償タイプがタイプA. 2である場合、デコード化ピクチャは、サブマクロブロックスイッチング素子116に入力される。スイッチング素子116は、デコード化ピクチャの適当な部分を、一対のフレームサブマクロブロックモーション補償予測回路118および120のうちの何れか一方に選択的に送出する。

【0095】フレームサブマクロブロックの上半分は予測回路118に送出され、フレームサブマクロブロックの下半分は予測回路120に送出される。回路118および120により発生された予測信号は、マクロブロックフォーマッティング回路に対するフレームサブマクロブロックの2個の入力端122および124に送られ、次いで、得られたフォーマット化予測信号は予測回路106のライン114に出力される。

【0096】モーション補償タイプがタイプA. 3である場合、デコード化ピクチャは、スイッチング素子110により、サブマクロブロックスイッチング素子128に入力される。このスイッチング素子128は、デコード化ピクチャの上部フィールドサブマクロブロック部分を、2個のフィールドサブマクロブロックモーション補償予測回路130および132のうちの何れか一方に、また、デコード化ピクチャの下部フィールドサブマクロブロック部分を、予測回路130および132のうちの他方に、選択的に送出する。

【0097】予測回路130および132により発生された予測信号はライン134および136により、マクロブロックフォーマッティング回路138に対するフィールドサブマクロブロックに入力され、次いで、フォーマット化された予測信号が予測回路106のライン114に出力される。予測回路は前記に説明し、また、図16に示されたような、1個または2個のモーションベクトル信号(MV1またはMV1およびMV2)の何方がに応答する。

【0098】図17、18は、本発明によるブロックアダプティブモーション補償両指向性予測回路140のブロック図である。図17、18の回路は、前記のB-ピクチャについて識別されたモーション補償モードに従つて、B-ピクチャの予測信号を発生する。デコード化された先行ピクチャは図1の加算素子36または図15の加算素子74の出力のうちの何れか一方からライン142で受信される。デコード化先行ピクチャは図1および図15の先行ピクチャ記憶装置36cまたは100cにそれぞれ送出される。

【0099】デコード化後行ピクチャは図1の加算素子36または図15の加算素子74の何れかの出力から入力ライン146で受信される。デコード化後行ピクチャは図1および図15の後行ピクチャ記憶装置36aまたは100aにそれぞれ送出される。先行ピクチャ記憶装置内のデコード化先行ピクチャは入力ライン149のスイッチング素子150により、図1および図15におけるモーション補償タイプ信号に応じて、6本の出力ラインのうちの何れか一本に選択的に送出される。後行ピクチャ記憶装置内のデコード化後行ピクチャは入力ライン152のスイッチング素子150により、図1および図15におけるモーション補償タイプ信号の値に応じて、次の一連の6本のラインのうちの何れか一本に選択的に出力される。

【0100】モーション補償タイプがタイプB. 1である場合、先行ピクチャ記憶装置内のデコード化先行ピクチャは、フレームマクロブロックモーション補償予測回路156の入力に対してライン154に出力される。次いで、回路156は、ライン158および予測回路140のライン160にフレームマクロブロックモーション補償予測信号を出力する。タイプB. 1モーション補償は後行ピクチャ記憶装置146内のデコード化後行ピクチャについて確定されないので、デコード化後行ピクチャは予測操作には含まれない。その結果、タイプB. 1状態において、ライン160に出力された予測信号に影響を及ぼさない。

【0101】モーション補償タイプがタイプB. 2である場合、後行ピクチャ記憶装置内のデコード化後行ピクチャは、フレームマクロブロックモーション補償予測回路162に入力され、スイッチング素子150のライン156に出力される。回路162はライン164および予測回路140のライン160にフレームマクロブロックモーション補償予測信号を出力する。タイプB. 2モーション補償は先行ピクチャ記憶装置内のデコード化先行ピクチャについて確定されないので、デコード化先行ピクチャは予測操作には含まれない。その結果、タイプB. 2状態において、ライン160に出力された予測信号に影響を及ぼさない。

【0102】モーション補償タイプがタイプB. 3である場合、先行ピクチャ記憶装置内のデコード化先行ピク

チャは、スイッチング素子150の出力ライン166により、フレームマクロブロック両指向性モーション補償予測回路168に入力される。後行ピクチャ記憶装置内のデコード化後行ピクチャは、予測回路の第2の入力に對して、スイッチング素子150のライン170に出力される。予測回路168はライン172に予測信号を発生する。この信号は予測回路140のライン160に出力される。

【0103】モーション補償タイプがタイプB. 4である場合、先行ピクチャ記憶装置内のデコード化先行ピクチャは、スイッチング素子150のライン174に出力され、また、後行ピクチャ記憶装置内のデコード化後行ピクチャは、スイッチング素子150のライン176に出力される。ライン174および176のピクチャはスイッチング素子178に入力される。スイッチング素子178は、このピクチャを、一対のフレームサブマクロブロックモーション補償予測回路180および182に選択的に入力する。予測回路180および182の出力はライン186および188のマクロブロックフォーマッティング回路184に対してフレームサブマクロブロックに入力される。フォーマッティング回路184の出力は予測回路140のライン160に送出される。

【0104】モーション補償タイプがタイプB. 5である場合、先行ピクチャ記憶装置内のデコード化先行ピクチャは、スイッチング素子150のライン190に出力され、後行ピクチャ記憶装置内のデコード化後行ピクチャはスイッチング素子150のライン190に出力される。ライン190および192のピクチャはスイッチング素子194に入力され、スイッチング素子194はピクチャを、一対のフレームサブマクロブロックモーション補償予測回路196および198に選択的に送出する。予測回路196および198からのライン200および202の予測信号はサブマクロブロックフォーマッティング回路204に対するフレームサブマクロブロックに入力され、回路204はフォーマット化予測信号を予測回路140のライン160に出力する。

【0105】モーション補償タイプがタイプB. 6である場合、先行ピクチャ記憶装置内のデコード化先行ピクチャは、スイッチング素子150のライン206に出力され、後行ピクチャ記憶装置内のデコード化後行ピクチャはスイッチング素子150のライン208に出力される。ライン206および208のピクチャはスイッチング素子210に入力され、スイッチング素子210はピクチャを、一対のフレームサブマクロブロックモーション補償予測回路212および214に選択的に送出する。予測回路212および214はライン216および218の予測信号をマクロブロックフォーマッティング回路220に対するフィールドサブマクロブロックに入力する。フォーマッティング回路220はフォーマット化予測信号を予測回路140のライン160に出力す

る。

【0106】モーション補償タイプがタイプB. ためる場合、先行ピクチャ記憶装置内のデコード化先行ピクチャは、スイッチング素子150のライン222に出力され、後行ピクチャ記憶装置内のデコード化後行ピクチャはスイッチング素子150のライン224に出力される。ライン222および224のピクチャはスイッチング素子226に入力され、スイッチング素子226はピクチャを、一対のフィールドサブマクロブロックモーション補償予測回路228および230に選択的に送出する。予測回路はマクロブロックフォーマッティング回路232に対するフィールドサブマクロブロックに予測信号を出し、回路232は予測信号を予測回路140のライン160に出力する。図16に示されるように、予測回路は1個以上のモーションベクトル信号(MV1またはMV1およびMV2)に応答する。

【0107】図20は図1に示されたブロックアダプタ
イブフレーム/フィールドコーディングアナライザ14
の詳細なブロック図である。マクロブロックは入力ライ
ン234のコーディングアナライザ14により受信され
る。ライン234に入力されたマクロブロックはマクロ
ブロック垂直相關コンピュータ236このコンピュータ
236は各マクロブロックの連続水平線間の相関量を決
定し、そして、ライン238にフレーム相關信号を発生
する。この信号はスレッシュホールド回路およびコンパ
レータ回路240に送出される。

【0108】ライン234に入力されたマクロブロックはまた、フィールドサブマクロブロックフォーマッティング回路242に対するマクロブロックに送出される。 フォーマッティング回路242は各マクロブロックを2個の別々のフィールドに分離する。一方のフィールドは各マクロブロック内の画素の偶数番号水平線からなり、他方のフィールドは各マクロブロック内の画素の奇数番号水平線からなる。セレクタスイッチ246がフォーマッティング回路242の出力と相関コンピュータ244の入力を接続する場合、偶数番号水平線はサブマクロブロック垂直相関コンピュータ244に送出される。

【0109】相関コンピュータ244はコンピュータ244に送出された偶数番号水平線間の相関レベルを決定し、相関レベルに応じた信号をサブマクロブロックセレクタスイッチ248に発生する。スイッチ248が適当な位置に存在する場合、相関レベルに応じた相関コンピュータ244からの信号はアキュムレータ250に入力される。セレクタスイッチ246がフォーマッティング回路242の出力と相関コンピュータ244の入力を接続する場合、奇数番号水平線はサブマクロブロック垂直相関コンピュータ252に送出される。

【0110】相関コンピュータ252はコンピュータ252に送出された奇数番号水平線間の相関レベルを決定し、相関レベルに応じてサブマクロロックセレクタス

イッチ 248 に送出される信号を発生する。スイッチ 248 が適当に接続されている場合、奇数番号ラインの相關レベルに応じた相関コンピュータからの信号はアキュムレータ 250 に送出される。アキュムレータ 250 はマクロブロック内の奇数番号および偶数番号フィールドの相關レベルを合計し、フィールド内の相關レベルを示す総相關信号を発生する。総相關信号は分割回路 254 により 2 つに分割され、そして、コンパレータ回路 240 内のスレッシュホールド回路に送出される。

【0111】コンパレータ回路240はコンピュータ236からのフレーム相関信号の相関レベルと、分割回路254からのフィールド相関信号の相関レベルとを比較し、図1および図15に示されたコーディングタイプ信号を発生する。コーディングタイプ信号はビデオ情報のフレームがエンコードおよびデコードすべきものであるかどうか、あるいは、ビデオ情報のフィールドがエンコードおよびデコードすべきものであるかどうかを指示する。特に、フレーム相関レベルがフィールド相関レベルよりも大きい場合、フレームはエンコードおよびデコードすべきである。フィールド相関レベルがフレーム相関レベルよりも大きい場合、フィールドはエンコードおよびデコードすべきである。

【0112】図21は図1のブロックフォーマッティング回路15aを示す。マクロブロックはライン256で入力され、そして、スイッチング素子258に入力される。スイッチング素子の状態は図20の回路により発生されたコーディングタイプ信号の特徴により決定される。コーディングタイプ信号がフレームコーディングが生起することを示す場合、スイッチング素子258はライン256をフレームブロックフォーマッティング回路260に対するマクロブロックの入力に接続する。

【0113】出力はスイッチング素子262に送出され、素子262は図21のフォーマッティング回路のブロックライン264にフォーマッティング回路260の信号を出力する。コーディングタイプ信号が、フィールドコーディングの発生を示す場合、スイッチング素子258はライン256をフィールドブロックフォーマッティング回路266に対するマクロブロックの入力に接続する。出力はスイッチング素子262に送出され、素子262は図21のフォーマッティング回路のブロックライン264にフォーマッティング回路266の信号を出力する。

【0114】図22は図1および図15の両方において示したブロック非フォーマッティング回路のブロック図である。ブロック信号はライン268により図22の非フォーマッティング回路に入力され、非フォーマッティング回路はこれらのブロック信号をスイッチング素子270に入力する。コーディングタイプ信号が、フレームコーディングの発生を示す場合、スイッチング素子270はライン268に入力されたブロック信号をマクロブ

ロックフォーマッティング回路272に対するフレームブロックに入力する。

【0115】マクロブロックフォーマッティング回路272はフレームマクロブロック信号をスイッチング素子274に入力する。スイッチング素子274は、フォーマッティング回路272からのフレームブロック信号をマクロブロックライン276に出力するために、このような状況においてコーディングタイプ信号により形成される。

【0116】コーディングタイプ信号がフィールドコーディングの発生を示す場合、スイッチング素子270はライン268に入力されたブロック信号をマクロブロックライフルマッティング回路278に対するフィールドブロックに入力する。マクロブロックフォーマッティング回路278はフレームマクロブロック信号をスイッチング素子274に入力する。スイッチング素子274は、フィールドマッティング回路278からのマクロブロック信号をマクロブロックライン276に出力するために、コーディングタイプ信号により形成される。

【0117】図23は図1および図15に示したようなイントラDC係数予測回路を示す流れ図である。正確に計算されたイントラDC係数はライン47により図23の回路に入力される。量子化インデックスは、DCステップサイズパラメータ（例えば、8）により、ライン47上に存在するDC係数を分割することにより、ブロック280において計算される。次いで、ブロック282で決定を行い、このDC係数はスライス内の最初のマクロブロックのためのDC係数であるか否か、または、先行マクロブロックは非イントラマクロブロックであったか否か決定する。

【0118】ブロックインデックスは図24において、フレームマクロブロックおよびフィールドマクロブロックについて示されたような、マクロブロック内のブロックの位置を識別する。ブロック282の決定が“YE”であれば、次いで、ブロックインデックスがゼロであるか否かに関して、ブロック284で決定を行う。ブロックインデックスがゼロである場合、DC上部ブロック予測回路パラメータをブロック286内で何らかの任意値と同等にセットする。例えば、予測回路を128にセットする。

【0119】図23の予測回路で行われるDC予測はブロック288内の上部ブロックDC予測回路と同等にセットされる。ブロック290では、上部ブロック予測回路はブロック280で計算された量子化インデックスの値で重ね書きされている。ブロック292では、下部ブロックDC予測回路パラメータは、ブロック290でセットされた上部ブロックDC予測回路の値と同等にセットされる。DC予測信号は図23の回路からライン294に出力される。この出力信号は図1および図15におけるイントラDC係数予測回路ブロックの出力に相当する。

る。

【0120】図23のブロック284で決定されるように、ブロックインデックスが1、2または3である場合、ブロックインデックスが1であるか否かブロック296をチェックする。ブロックインデックスが1である場合、DC予測はブロック298の上部ブロックDC予測回路と同等にセットされる。次いで、上部ブロックDC予測回路をブロック300の量子化インデックスで重ね書きする。図23の回路によりDC予測信号はライン294に出力される。ブロック296で決定されるように、ブロックインデックスが2または3である場合、DC予測はブロック302の下部ブロックDC予測回路と同等にセットされる。次いで、下部ブロックDC予測回路をブロック304の量子化インデックス値で重ね書きする。再び、図8の回路によりDC予測信号はライン294に出力される。

【0121】マクロブロックがスライスまたは先行マクロブロックにおける最初のマクロブロックでない場合、現行マクロブロックタイプが先行マクロブロックタイプと同一であるか否かに関して、ブロック306において決定が行われる。現行マクロブロックがフレームタイプマクロブロックである場合、図23のブロック306は先行マクロブロックもフレームタイプマクロブロックであるか否か決定する。現行マクロブロックがフィールドタイプマクロブロックである場合、図23のブロック306は先行マクロブロックもフィールドタイプマクロブロックであるか否か決定する。

【0122】決定が肯定的である場合、ブロックインデックスがゼロまたは1であるか否か、ブロック308でチェックを行う。ブロックインデックスがゼロまたは1である場合、DC予測はブロック310の上部ブロックDC予測回路と同等にセットされる。次いで、ブロック312で、上部ブロックDC予測回路を、ブロック280で計算された量子化インデックスと同等にセットする。その後、DC予測は図23の回路によりライン294に出力される。

【0123】ブロック308で決定されるように、ブロックインデックスが2または3である場合、DC予測はブロック314の下部ブロック予測回路と同等にセットされる。次いで、下部ブロックDC予測回路はブロック316の量子化インデックスで重ね書きされ、DC予測は図23の回路によりライン294から送出される。

【0124】ブロック306で決定されるように、現行マクロブロックタイプが先行マクロブロックと同一でない場合、ブロックインデックスがゼロであるか否か、ブロック318でチェックする。ブロックインデックスがゼロである場合、上部ブロックDC予測回路と下部ブロックDC予測回路の現行値の平均化をブロック320において行う。ブロック320で計算された平均値をブロック322で丸める。

【0125】上部ブロックDC予測回路をブロック324で、前記丸められた平均値と同等にセットする。次いで、DC予測をブロック326において、上部ブロックDC予測回路と同等にセットする。次いで、上部ブロックインデックスDC予測回路をブロック328で、量子化インデックスの値で重ね書きする。下部ブロックDC予測回路をブロック330で、上部ブロックDC予測回路と同等にセットする。DC予測は図8の回路のライン294に出力される。

【0126】ブロック318で決定されるように、ブロックインデックスが1, 2または3である場合、ブロックインデックスが1であるか否か、ブロック332で決定を行う。ブロックインデックスが1である場合、ブロック334で、DC予測を上部ブロックDC予測回路と同等であるようにセットする。次いで、ブロック336において、上部ブロックDC予測回路を量子化インデックスで重ね書きする。そして、DC予測を図23の回路のライン294に出力する。

【0127】ブロック332で決定されるように、ブロックインデックスが1でない場合、ブロック338において、DC予測は下部ブロックDC予測回路の値と同等にセットされ、次いで、ブロック340において、下部ブロックDC予測回路は、ブロック280で計算された量子化インデックスの値で重ね書きされる。この場合も、DC予測はライン294に出力される。

【0128】図24はビデオデータのスライスにおける6個からなる一連のマクロブロックを示す。図24における矢線はビデオデータの各ブロックの予測DC係数と隣接ブロックについて計算されたDC係数の実際の値との間の関係を模式的に示している。各矢線の基部は、実際のDC係数が決定されたブロック内に存在する。矢線の頭部はブロックの位置を示す。DC係数の実際の値は、矢線頭部を含むブロックに関するDC係数の予測として使用される。

【0129】幾つかのブロックにおける円は、円が存在するブロックのDC係数を予測するために、DC係数の実際の平均値が使用される状況を示す。図24は、マクロブロックスライスの開始時における番号0のフレームタイプマクロブロック、番号1のフレームタイプマクロブロック、番号2のフィールドタイプマクロブロック、番号3のフレームタイプマクロブロック、番号4のフィールドタイプマクロブロックおよび番号5のフィールドタイプマクロブロックを示す。

【0130】各マクロブロックは4個のブロックを含む。各マクロブロックの上部左側のブロックのブロックインデックスは0である。各マクロブロックの上部右側のブロックのブロックインデックスは1である。各マクロブロックの下部左側のブロックのブロックインデックスは2である。各マクロブロックの下部右側のブロックのブロックインデックスは3である。

【0131】例えば、図24において、フレームマクロブロック0およびフィールドマクロブロック4はブロックインデックスでラベルされている。インデックス0を有するフレームマクロブロック0におけるブロックは、128のような任意値と同等なDC係数値を有するものと予測される。

【0132】インデックス1を有するフレームマクロブロック0におけるブロックに関するDC係数の予測値は、インデックス0を有するブロックからインデックス1を有するブロックまで矢線で図示されるように、インデックス0を有するブロックについて計算されたDC係数であると予測される。

【0133】フレームマクロブロック0においてインデックス2を有するブロックに関するDC係数の予測値は、インデックス0のブロックからインデックス2のブロックまで垂直下方向き矢線により図示されるように、フレームマクロブロック0においてインデックス0を有するブロックについて計算されたDC係数の実際の値と同一であると予測される。

【0134】マクロブロック0においてインデックス3を有するブロックに関するDC係数の予測値は、マクロブロック0においてインデックス2を有するブロックについて計算されたDC係数の実際の値と同一である。フレームマクロブロック2、フレームマクロブロック3およびフィールドマクロブロック4においてインデックス0を有するブロックについて予測されたDC係数値はそれぞれ、前記の各例のマクロブロックにおけるインデックス1および3のブロックについて計算された係数の平均値であると予測される。残りの予測は図23および図24の内容から明らかであり、これ以上説明する必要はないであろう。

【0135】図25は、図1に示された可変語長選択アナライザのブロック図である。このアナライザは、信号トランスレータ342に対する入力として、ライン32でピクチャタイプ信号を受信する。信号トランスレータ342は2種類の信号を発生する。イントラタイプコーディングが存在するか否か識別するイントラコーディング表示信号344と、B-ピクチャの予測コーディングが管理されているか否か識別するB-タイプ予測表示信号346である。

【0136】可変語長選択アナライザは、ランレンジスコンピュータ348における走査セレクタ2.3からDC T係数も受信する。このコンピュータ348は、受信された0以外の全ての係数について、0以外のDCT係数を受信する前に、ゼロの数を即座に決定する。換言すれば、コンピュータ348は各DCT係数に関するランレンジスを決定し、各受信DCT係数の振幅とランレンジスに関する信号をイントラ表示スイッチング素子350に入力する。

【0137】スイッチング素子350は、図25に示さ

31

れた番号1の状態の場合に、ランレンジングコンピュータ348からの信号を順序付けスイッチング素子352(例えば、計数回路)に入力する。図25の選択アナライザがI-ピクチャのDCT係数を分析している場合、スイッチング素子350は番号1の状態にある。スイッチング素子352は、各係数の振幅およびランレンジングを順番に、一連の4個の可変語長コード長テーブル354, 356, 358および360の各々に入力する。

【0138】テーブル354, 356, 358および360は、予測コード長を示すデータを含有している。この予測コード長は、ランレンジングコンピュータ348からの信号により表示されるような振幅およびランレンジングを有するDCT係数がテーブル354, 356, 358および360のそれぞれ一つに対応する4種類の異なるコーディングスキームによりコードされるときに発生される。

【0139】スイッチング素子352がランレンジングコンピュータ348の出力をテーブル354, 356, 358および360のうちの何れか一つに入力すると、このテーブルは、テーブル中のデータが発生されたコーディングスキームに従ってDCT係数をコーディングすることにより生じる予測コード長に関連する信号をライン362, 364, 366および368にそれぞれ出力する。

【0140】ライン362, 364, 366および368の予測コード長信号はスイッチング素子370の第1番端子に入力される。DCT係数がI-ピクチャである場合、スイッチング素子370の状態は、ライン362, 364, 366および368の信号がアキュムレータ372, 374, 376および378にそれぞれ入力されるような状態である。アキュムレータ372, 374, 376および378の内容はコンパレータおよび最小評価回路380の4個の端子に入力される。最小評価回路380は比較可能信号に応答し、アキュムレータ372, 374, 376および378に記憶されている予測ランレンジングスのうちのどれが最も短いか決定する。

【0141】評価回路380はライン382に可変語長テーブル選択信号を発生する。この信号は次いで、図1のエンコーダおよびマルチプレクサ24に送られる。エンコーダおよびマルチプレクサ24はライン382に発生された信号を使用し、ライン382の可変語長テーブル選択信号の性質により識別される係数固定または可変語長コーディングスキームを選択する。ライン382の選択信号は、エンコーダ24内に記憶されている複数個のコーディングテーブルのうちのひとつをエンコーダ24に選択させる。各コーディングテーブルは、単独および別個の固定語長または可変語長コーディングスキームに従って、量子化DCT係数のエンコーディングをコントロールする。

【0142】P-ピクチャおよびB-ピクチャがコード

10

20

30

40

50

32

されている場合、スイッチング素子350は0状態に置かれている。この状態では、DCT係数振幅およびランレンジングスは両指向性予測表示スイッチング素子384に入力される。P-ピクチャがコードされている場合、スイッチング素子384は0状態であり、係数振幅およびランレンジングスをシークエンシングスイッチング素子(例えば、計数回路)386に入力する。スイッチング素子386はP-ピクチャ係数振幅およびランレンジングスを4種類の可変語長コードレンジングステーブル388, 390, 392および394の各々に順次入力していく。

【0143】テーブル388, 390, 392および394はそれぞれ、各テーブル388, 390, 392および394により示される単独および別個のコードに従って計算された振幅およびランレンジングスを有するDCT係数をコーディングすることにより発生される予測コードレンジングに関する情報を含有している。テーブル388, 390, 392および394からの予測コード長は、スイッチング素子370の第0番端子に入力される。

【0144】P-ピクチャの場合、スイッチング素子370および396は、テーブル388, 390, 392および394からの出力がライン398, 400, 402および404に出力され、更に、アキュムレータ372, 374, 376および378に入力されるような状態にある。前記のI-ピクチャの場合と同様に、アキュムレータ372, 374, 376および378は予測コード長信号を評価回路380に出力し、この回路は可変語長選択信号をライン382に発生する。この信号は、DCT係数を伝送するのに使用しなければならない最小ビット数に換算して最も効率的なコードを使用して量子化DCT係数をコードするために、エンコーダおよびマルチプレクサ24により使用される。

【0145】B-ピクチャが図25の回路で分析されている場合、コンピュータ348からのDCT係数振幅およびランレンジングスはスイッチング素子384に入力される。スイッチング素子384は、これらの振幅およびランレンジングス信号を可変語長コード長テーブル388にだけ入力する状態にある。可変語長コード長テーブル388は予測ランレンジングス信号を発生し、この信号をアキュムレータ372に入力し、アキュムレータ372はこの信号を使用しライン382に可変語長テーブル選択信号を発生する。B-ピクチャの場合、スイッチング素子396は、テーブル390, 392および394の出力をアキュムレータ374, 376および378には入力しないような状態にある。

【0146】前記の本発明の実施例では、パラメータMスケールが発生される。Mスケールパラメータは両指向性コード化フレームに関する量子化パラメータを計算するのに使用すべき乗数である。特定のピクチャ解像度およびビットレートについて実験的に決定された所定のテ

一ブルから選択することにより各マクロブロックについて一つのMスケールパラメータが発生される。

【0147】図26は両指向性コード化ピクチャに関するMスケールパラメータのエンコーディングを例証する流れ図である。ブロック406において、現行マクロブロックが先行P-ピクチャまたはI-ピクチャでコードされたか否かに関する決定を行う。コードされていない場合、先行P-ピクチャまたはI-ピクチャにおける対応スライスに関する平均量子化パラメータが0以外であったか否かにかんする決定をブロック408で行う。

【0148】0であった場合、平均量子化パラメータはブロック410で16にセットされる。ブロック408で決定されるように、平均量子化パラメータが0以外であった場合、または、平均量子化パラメータをブロック410で16にセットした後、先行P-ピクチャまたはI-ピクチャにおける対応マクロブロックに関する量子化パラメータをブロック412で16にセットする。その理由は、このマクロブロックについては量子化パラメータが存在しなかつたからである。

【0149】ブロック406で決定されたように、マクロブロックが先行P-ピクチャまたはI-ピクチャでコードされた場合、または、ブロック412における動作の後で、量子化ステップサイズをブロック414における量子化パラメータの2倍にセッテする。スライスに関する量子化ステップサイズを、ブロック414における先行P-ピクチャまたはI-ピクチャにおける対応スライスの平均量子化パラメータの2倍にセットする。次いで、マクロブロックに関する予測は単指向性またはイントラであるか否かに関する決定をブロック416で行う。

【0150】予測が両指向性である場合、換言すれば、ブロック416の出力に続くルートがない場合、一時的スケールファクタを、ブロック418における先行P-ピクチャまたはI-ピクチャのマクロブロックの量子化ステップサイズの解像度およびビットレート倍に対して同調されたスケールファクタと同等にセットする。ブロック420では、一時的スケールファクタをスライスの量子化ステップサイズで分割することにより比率パラメータを計算する。ブロック422で、可変min_in_dを9にセットし、可変min_val_fを1000にセットし、そしてz限界変数を4にセットする。

【0151】次いで、インデックスzがz限界未満であるか否か確認するためにブロック424で決定を行う。zがz限界未満である場合、可変absdiffをブロック420で計算された比率とブロック426におけるMスケールパラメータ間の差の絶対値にセットする。次いで、absdiffの値がmin_val_f未満であるか否かに関する決定をブロック428で行う。“YES”ルートがブロック428から続く場合、可変min_in_dをzと同等にセットし、可変min_val_fを

ブロック430における可変absdiffと同等にセットする。

【0152】その後、図26のルーチンをブロック424の入力に戻す。ブロック428の出力に続くルートがない場合、図26のルーチンをブロック424の入力に直接戻す。前記のループは、zがz限界未満でなくなるまで、また、ブロック424の出力に続くルートが無くなるまで、反復される。その後、ブロック432で、現行量子化ステップサイズを、ブロック432に示された可変Mスケールとスライスの量子化ステップサイズとの積の丸められた値にセットする。

【0153】現行量子化パラメータをブロック434の現行量子化ステップサイズの1/2の値にセットし、min_in_dの値をエンコーダ出力ビットストリームの挿入する。これは、圧縮ビットストリームから画像を生成するためにデコーダにより使用される。ブロック436および438の動作により、現行量子化パラメータを31の値にクリップする。

【0154】ブロック416で単指向性予測の存在が決定され、その後、一時的スケールファクタをブロック440で計算される場合、スライスに関する量子化ステップサイズに対する一時的スケールファクタの比率はブロック442で計算され、そして、ブロック444で、min_in_d、min_val_fおよびz限界変数をブロック422でセットした値と同じ値にセットする。次いで、インデックスzがz限界未満であるか否か確認するために、ブロック446で決定を行う。

【0155】インデックスzがz限界未満である場合、ブロック442で計算された比率とブロック448で識別されたMスケールパラメータ間の差の絶対値として、可変absdiffをブロック448で計算する。次いで、absdiffがmin_val_f未満であるか否か確認するためにブロック450でチェックを行う。absdiffがmin_val_f未満である場合、min_in_dをzと同等にセットし、min_val_fをブロック452のabsdiffと同等にセットする。

【0156】その後、図26のルーチンをブロック446の入力に戻す。zがもはやz限界未満でなく、ルーチンがブロック446の出力としてのルートに続かなくなるまでループを継続する。ブロック454でルートが続かない場合、現行量子化ステップパラメータを、ブロック432について既に説明した積と同様な積と同等にセットする。図26のルーチンはブロック434、436および438で識別された前記のステップを行う。

【0157】図27はB-ピクチャについて発生されたMスケールパラメータに関する本発明によるデコーダの動作を例証する。min_in_dパラメータは、ブロック456のデコーダに送られたビットストリームから抽出される。スライスの量子化パラメータはブロック458のビットストリームから抽出される。ブロック460

は、ブロック460におけるスライスの量子化パラメータから量子化ステップサイズを計算する。

【0158】次いで、マクロブロックに関する予測が単指向性またはイントラであるか否かに関する決定をブロック462で行う。予測が単指向性またはイントラである場合、現行量子化工程はブロック464で特定されたように計算される。予測が両指向性である場合、現行量子化ステップサイズはブロック456で特定されたように計算される。

【0159】図28は可視性マトリックスセレクタの詳細なブロック図である。DCT係数はライン438からセレクタに入力される。この信号は係数ウエイティング(weighting)回路470に送出される。ウエイティングファクタはスイッチング素子480, 482, 484, 486, 488および490の状態に応じて、4個の可変マトリックス472, 474, 476および478のうちの選択された一つから送出される。

【0160】スイッチング素子の状態は図28で識別された信号の状態により決定される。選択された可視性マトリックスに応じて、所定のウエイティングファクタはライン492を介して係数ウエイティング回路470に入力され、次いで、ライン468に導入されたDCT係数およびライン492に導入されたウエイティングファクタに照らして、ウエイティングDCT係数はライン494に出力される。

【0161】図29は本発明による順方向／逆方向走査セレクタのブロック図である。図29の走査セレクタは順方向／逆方向走査フォーマッティング回路496からなる。この回路は、ライン498の順方向反転／走査指定信号およびライン500の量子化インデックスを受信する。4個の所定の走査順序のうちの一つを、4個の走査ブロック502, 504, 506および508に記憶された情報に従って発生させることができる。

【0162】図29で識別されたコントロール信号の性質により決定されるスイッチング素子510, 512, 514, 516, 518および520の状態に応じて、走査フォーマッティング回路496の動作は走査ブロック502, 504, 506および508のうちの選択された一つにより発生される入力ライン522の信号によりコントロールされる。走査フォーマッティング回路496はライン498, 500および522で受信された入力に照らしてライン524に走査量子化インデックス信号を発生する。

【0163】図30はP-ピクチャ用のモーションベクトル予測を例証する流れ図である。新たなマクロブロックはブロック526で得られる。ブロック528はこのマクロブロックがスライスの第1のマクロブロックであるか否か決定する。第1のマクロブロックである場合、ブロック530で識別された5個のレジスタに記憶された変数はゼロに初期設定され、図30のルーチンは決定

ブロック532の入力に移る。

【0164】ブロック528で、このマクロブロックはスライスにおける第1のマクロブロックではないと決定された場合、図15のルーチンはブロック528から直接、ブロック532の入力に移る。ブロック532はこれがインターマクロブロックであるか否か決定する。インターマクロブロックではない場合、ブロック534で識別された5個のレジスタに記憶された変数はゼロに初期設定され、図30のルーチンはブロック526の入力に戻る。

【0165】ブロック532で、マクロブロックはインターマクロブロックであると決定された場合、次いで、どのモーション補償タイプが含まれているかについて決定を行う。これらの決定はブロック536, 538および540で行われる。モーション補償タイプがタイプ1である場合、ブロック542で、モーションベクトル予想変数をREG16×16FRM_P変数の値にセットする。ブロック544で、REG16×16FRM_P変数を現行モーションベクトル変数の値にセットする。モーション予測は図30のルーチンにより出力される。

【0166】モーション補償タイプがタイプ2である場合、ブロック546で、第1のモーションベクトル予想変数をREG16×8FRM_P1変数と同等にセットする。REG16×8FRM_P1変数をブロック548の現行モーションベクトル変数(P1)の値に変更する。ブロック550で、第2のモーションベクトル予想変数をREG16×8FRM_P2変数と同等にセットする。ブロック552で、REG16×8FRM_P2変数を現行モーションベクトル変数(P2)の値にセットする。モーション予測は図30のルーチンにより出力される。

【0167】モーション補償タイプがタイプ3である場合、ブロック554で、第1のモーションベクトル予想変数をREG16×8FLD_P1変数と同等にセットする。ブロック556で、REG16×8FLD_P1変数を現行モーションベクトル変数(P1)と同等にセットする。ブロック558で、第2のモーションベクトル予測変数をREG16×8FLD_P2変数と同等にセットする。次いで、REG16×8FLD_P2変数をブロック560で、現行モーションベクトル変数(P2)の値にセットする。モーションベクトル予測は図30のルーチンにより出力される。エラー状態は、モーション補償タイプが図30の3種類の容認されたタイプの何れでもないと決定される状況において、ブロック561で識別される。

【0168】図31、32はB-ピクチャ用のモーションベクトル予測を例証する流れ図である。新たなマクロブロックはブロック562で得られる。これがスライスの第1のマクロブロックであるか否かに関して、ブロック564で決定が行われる。スライスの第1のマクロブ

ロックである場合、ブロック 566 で識別されるレジスタに記憶された変数リストをゼロに初期設定する。ブロック 566 の動作の後、図 31、32 のルーチンをブロック 568 の入力に戻す。ブロック 564 で決定されるように、マクロブロックがスライスの第 1 のマクロブロックでない場合、ブロック 564 の出力を直接、ブロック 568 に入力する。

【0169】ブロック 568 はこれがインターマクロブロックであるか否か決定する。インターマクロブロックではない場合、ブロック 570 は、ブロック 570 で識別されたレジスタ内に記憶されている変数リストをゼロに初期設定し、図 31、32 のルーチンをブロック 562 の入力に戻す。ブロック 568 がインターマクロブロックであると決定する場合、ブロック 572, 574, 576, 578, 580, 582 および 584 は、モーション補償タイプが 7 個の想定タイプのうちの何れか一つであるか否かを決定する。

【0170】モーション補償タイプが B-ピクチャ用のタイプ 1 である場合、ブロック 586 はモーションベクトル予測変数を $REG\ 16 \times 16\ FRM_P$ 変数と同等にセットする。次いで、ブロック 588 は $REG\ 16 \times 16\ FRM_P$ 変数を現行モーションベクトル変数 (P) と同値になるようにセットする。モーションベクトル予測は図 31、32 のルーチンから出力される。

【0171】モーション補償タイプが B-ピクチャ用のタイプ 2 である場合、ブロック 590 はモーションベクトル予測変数を $REG\ 16 \times 16\ FRM_N$ 変数と同等にセットする。ブロック 592 は $REG\ 16 \times 16\ FRM_N$ 変数を現行モーションベクトル変数 (N) の値にセットする。モーションベクトル予測は図 31、32 のルーチンから出力される。

【0172】モーション補償タイプが B-ピクチャ用のタイプ 3 である場合、ブロック 594 は第 1 のモーションベクトル予測変数を $REG\ 16 \times 16\ FRM_P$ 変数の値にセットする。次いで、ブロック 596 は現行モーションベクトル (P) 変数を $REG\ 16 \times 16\ FRM_P$ 変数の値にセットする。

【0173】ブロック 598 は第 2 のモーションベクトル予測変数を $REG\ 16 \times 16\ FRM_N$ 変数の値にセットする。次いで、ブロック 600 は $REG\ 16 \times 16\ FRM_N$ の値を現行モーションベクトル (N) の値にセットする。モーションベクトル予測は図 16 のルーチンから出力される。

【0174】モーション補償タイプが B-ピクチャ用のタイプ 4 である場合、ブロック 602 は第 1 のモーションベクトル予測変数を $REG\ 16 \times 8\ FRM_P$ 1 変数と同等にセットする。ブロック 604 は、 $REG\ 16 \times 8\ FRM_P$ 1 変数の値を現行モーションベクトル (P) 1 変数の値に変更する。ブロック 606 は第 2 のモーションベクトル予測変数を $REG\ 16 \times 8\ FRM_N$ 2

変数の値にセットする。ブロック 608 は、 $REG\ 16 \times 8\ FRM_N$ 2 変数の値を現行モーションベクトル (N) 2 変数の値に変更する。モーションベクトル予測は図 16 のルーチンから出力される。

【0175】モーション補償タイプが B-ピクチャ用のタイプ 5 である場合、ブロック 610 は第 1 のモーションベクトル予測変数を $REG\ 16 \times 8\ FRM_N$ 1 変数と同等にセットする。ブロック 612 は、 $REG\ 16 \times 8\ FRM_N$ 1 変数の値を現行モーションベクトル (N) 1 変数の値に変更する。ブロック 614 は第 2 のモーションベクトル予測変数を $REG\ 16 \times 8\ FRM_P$ 2 変数の値にセットする。ブロック 616 は、 $REG\ 16 \times 8\ FRM_P$ 2 変数の値を現行モーションベクトル (P) 2 変数の値に変更する。モーションベクトル予測は図 16 のルーチンから出力される。

【0176】モーション補償タイプが B-ピクチャ用のタイプ 6 である場合、ブロック 618 は第 1 のモーションベクトル予測変数の値を $REG\ 16 \times 8\ FLD_P$ 1 変数の値にセットする。ブロック 620 は、 $REG\ 16 \times 8\ FLD_P$ 1 変数の値を現行モーションベクトル (P) 1 変数の値に変更する。ブロック 622 は第 2 のモーションベクトル予測変数の値を $REG\ 16 \times 8\ FLD_N$ 2 変数の値にセットする。ブロック 624 は、 $REG\ 16 \times 8\ FLD_N$ 2 変数の値を現行モーションベクトル (N) 2 変数の値に変更する。モーションベクトル予測は図 16 のルーチンから出力される。

【0177】モーション補償タイプが B-ピクチャ用のタイプ 7 である場合、ブロック 626 は第 1 のモーションベクトル予測変数の値を $REG\ 16 \times 8\ FLD_N$ 1 変数の値にセットする。ブロック 628 は、 $REG\ 16 \times 8\ FLD_N$ 1 変数の値を現行モーションベクトル (N) 1 変数の値に変更する。ブロック 630 は第 2 のモーションベクトル予測変数の値を $REG\ 16 \times 8\ FLD_P$ 2 変数の値にセットする。ブロック 632 は、 $REG\ 16 \times 8\ FLD_P$ 2 変数の値を現行モーションベクトル (P) 2 変数の値と同じ値に変更する。モーションベクトル予測は図 31、32 のルーチンから出力される。

【0178】図 31、32 のルーチンがモーション補償タイプが 7 種類の容認タイプの何れでもないと決定する場合、図 31、32 のルーチンはブロック 634 でエラー状態を識別する。

【0179】完全自動ワンパスエンコーダにおいては、符号化プロセスに起因する遅延は、2-3 ピクチャ期間である。復号化器 (デコード) での遅延は、1-2 ピクチャ期間 (後処理の遅延を含まず) である。しかし、符号化器 (エンコーダ) と復号化バッファとは、0.5 秒もの遅延を発生させる。そして、全体の符号遅延は、0.65-0.7 秒である。I-ピクチャは、アクセスポイントに、約 0.4 秒の遅延を発生させる。

まず、I-ピクチャーで開始して、GOP内の他のピクチャーは、ビット流から所望のピクチャーを得るために、復号化される。急速順変換と逆変換が通常間隔のI-ピクチャーを得ることにより、可能となる。

【0180】

【発明の効果】以上説明したように、本発明によれば、ビデオデータのコーディングを改善し、伝送しなければならないビット数を減少させ、そして、ビデオデコーダにより正確な再生を行わせることができるデジタルビデオ信号のコーディング装置が提供される。

【図面の簡単な説明】

【図1】本発明の実施例で有用な一群のピクチャ構造を例証するブロック図の一部である。

【図2】本発明の実施例で有用な一群のピクチャ構造を例証するブロック図の一部である。

【図3】図1と図2との組み合わせ方法を示す図である。

【図4】本発明の実施例で使用される可変長コードの長さを識別するテーブルの一例の概要図である。

【図5】本発明の実施例で使用されるフレームブロックスキャンの概要図である。 20

【図6】本発明の実施例で使用されるフィールドブロックスキャンの概要図である。

【図7】本発明の実施例で使用される可変長コードの長さを識別するテーブルの一例の概要図である。

【図8】本発明の実施例で使用される可変長コードの長さを識別するテーブルの一例の概要図である。

【図9】本発明の実施例で使用される可変長コードの長さを識別するテーブルの一例の概要図である。

【図10】本発明の実施例で使用される可変長コードの長さを識別するテーブルの一例の概要図である。 30

【図11】本発明の実施例で使用される可変長コードの長さを識別するテーブルの一例の概要図である。

【図12】本発明の実施例で使用される可変長コードの長さを識別するテーブルの一例の概要図である。

【図13】本発明の実施例で使用される可変長コードの長さを識別するテーブルの一例の概要図である。

【図14】本発明の実施例で使用される可変長コードの長さを識別するテーブルの一例の概要図である。

【図15】本発明によるアダプティブモーション補償単両指向性予測ビデオ信号デコーダを示すブロック図である。 40

【図16】本発明によるブロックアダプティブモーション補償単指向性予測回路の機能仕様を示すブロック図である。

【図17】本発明によるブロックアダプティブモーション補償両指向性予測回路(38B)の機能仕様を示すブロック図の一部である。

【図18】本発明によるブロックアダプティブモーション補償両指向性予測回路(38B)の機能仕様を示すブロ 50

ロック図の一部である。

【図19】図17と図18との組み合わせ方法を示す図である。

【図20】図1に示されたブロックアダプティブフレーム／フィールドコーディングアナライザ(14)の詳細なブロック図である。

【図21】図1のブロックフォーマッティング回路(15A)のブロック図である。

【図22】図2のブロック非フォーマッティング回路のブロック図である。

【図23】図1のイントラDC係数予測を例証する流れ図である。

【図24】マクロブロックアダプティブフレーム／フィールドDC係数予測の一例の概念図である。

【図25】図1の可変語長選択アナライザ(23A)のブロック図である。

【図26】本発明の実施例におけるB-ピクチャのMスケールパラメータのエンコーディングを例証する流れ図である。

【図27】本発明の実施例におけるB-ピクチャのMスケールパラメータのデコーディングを例証する流れ図である。

【図28】本発明の実施例における可視性マトリックスセレクタ(29)の一例のブロック図である。

【図29】本発明の実施例における順方向／反転走査セレクタのブロック図である。

【図30】本発明の実施例によるP-ピクチャのモーションベクトル予測を例証する流れ図である。

【図31】本発明の実施例によるB-ピクチャのモーションベクトル予測を例証する流れ図の一部である。

【図32】本発明の実施例によるB-ピクチャのモーションベクトル予測を例証する流れ図の一部である。

【図33】図31と図32との組み合わせ方法を示す図である。

【符号の説明】

10 入力ライン

11, 36, 42, 46, 58, 74, 92 加算素子
14 ブロックアダプティブフレーム／フィールドコーディングアナライザ

13a, 13b スイッチング素子

15a フォーマッティング回路

16 ディスクリートコサイン変換回路

19 知覚性量子化回路

23 走査選択回路

24 エンコーダおよびマルチプレクサ

25, 52 バッファ

28, 64 反転走査セレクタ

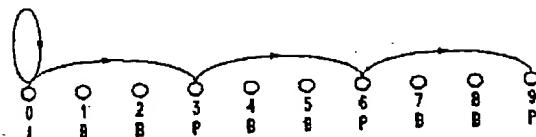
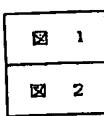
29, 66 脱量子化回路

34 反転ディスクリートコサイン変換回路

36a ピクチャ記憶装置

3 6 b 書込スイッチング素子
 3 6 c 先行ピクチャ記憶装置
 3 7 モーション推定回路
 3 8 a 予測アナライザ
 3 8 b 予測セレクタ
 4 1, 4 5, 6 0 予測回路
 4 4 ブロックタイプ分類回路
 5 4 デマルチプレクサ
 7 2 変換回路
 8 0 脱分類化回路
 1 0 0 推定回路
 1 4 0, 1 6 8, 1 8 0, 1 8
 測回路

[図3]

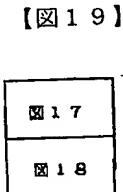


[图 5]

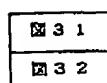
【図7】

150, 178, 194, 210, 226, 258 ス
 イッティング素子
 184, 220, 232, 242, 260, 278 フ
 オーマッティング回路
 240 コンパレータ回路
 250 アキュムレータ
 342 信号トランスレータ
 348 ランレンジングスコンピュータ
 354, 356, 358, 360 可変語長コード長テ
 ーブル
 470 係数ウエイティング回路
 496 順方向／逆方向走査フォーマッティング回路

[図4]

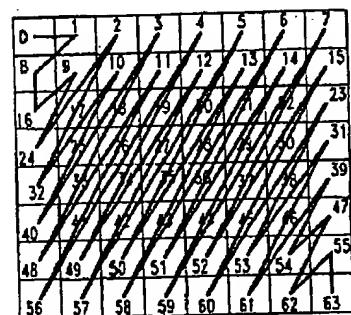


〔图19〕



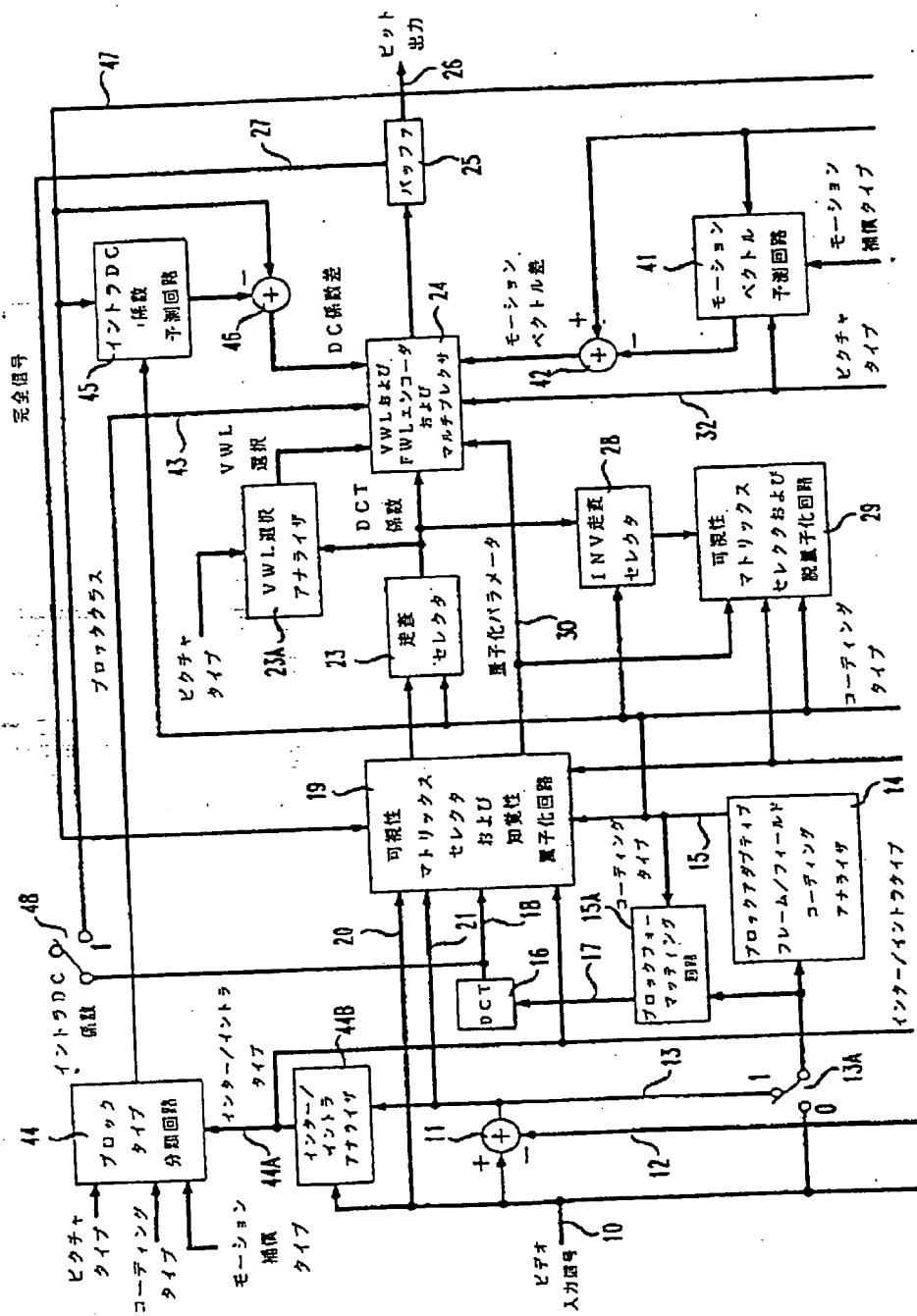
[図33]

[図 6]

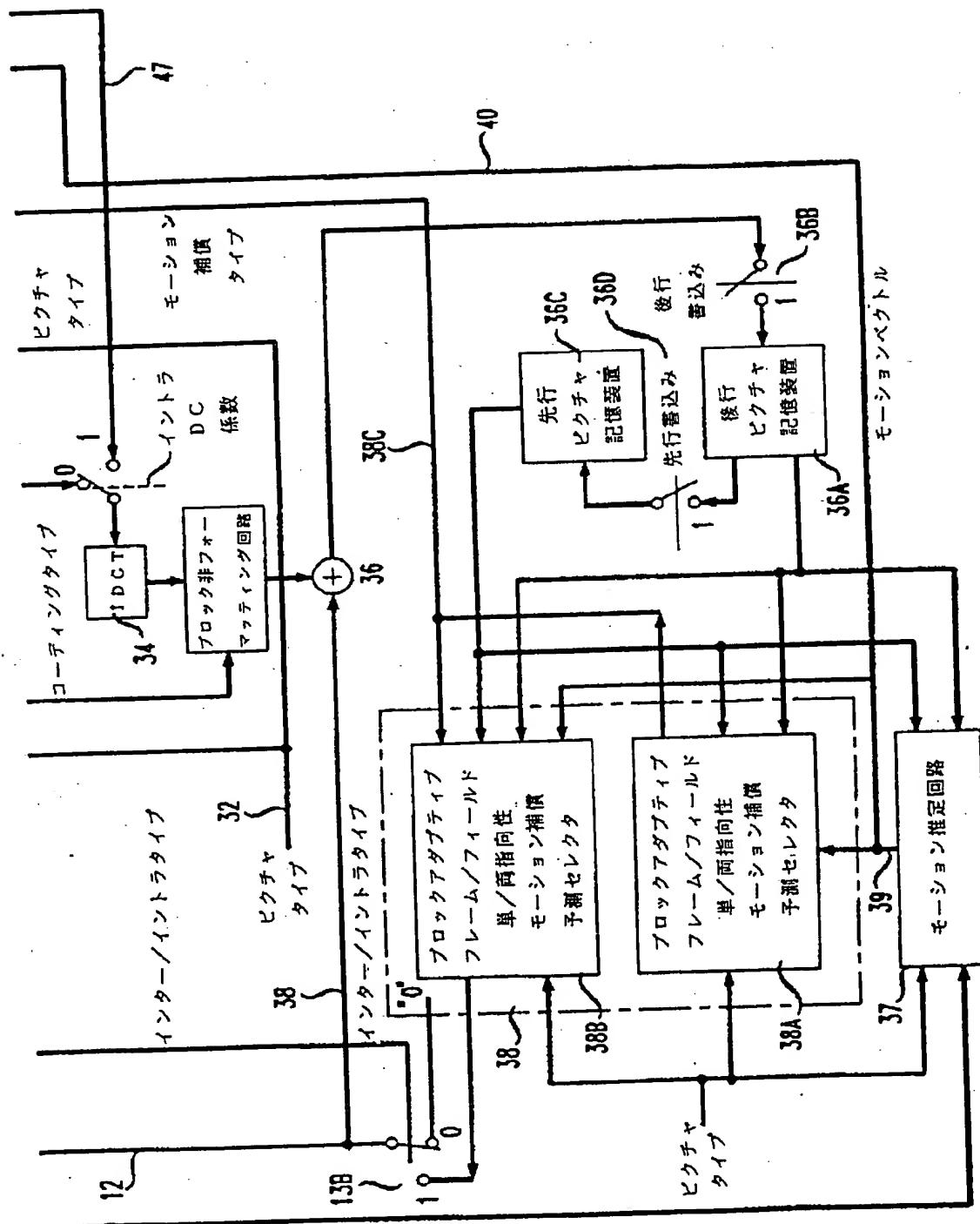


【図8】

【図1】



【図2】



[図9]

[図10]

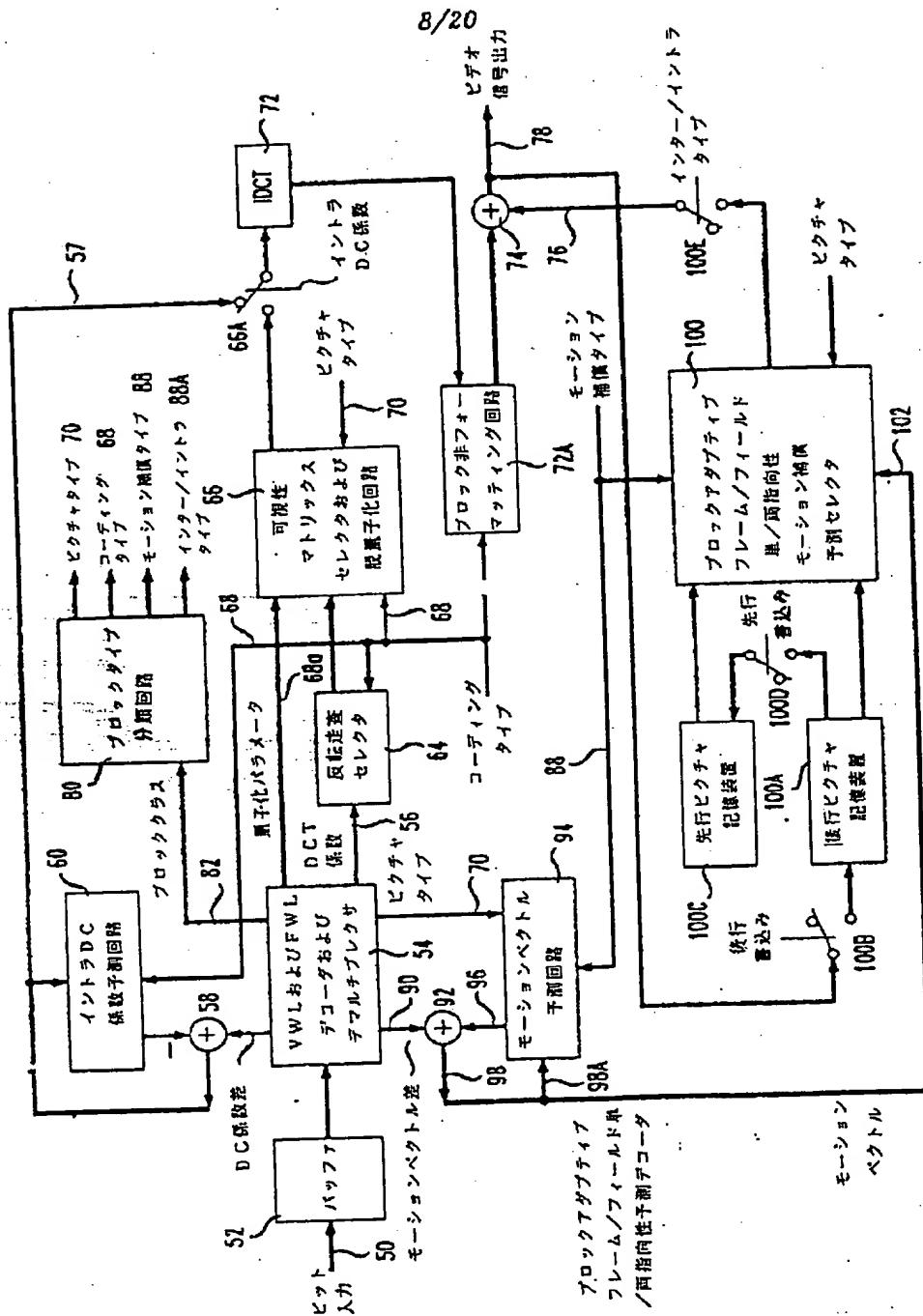
[図11]

[図12]

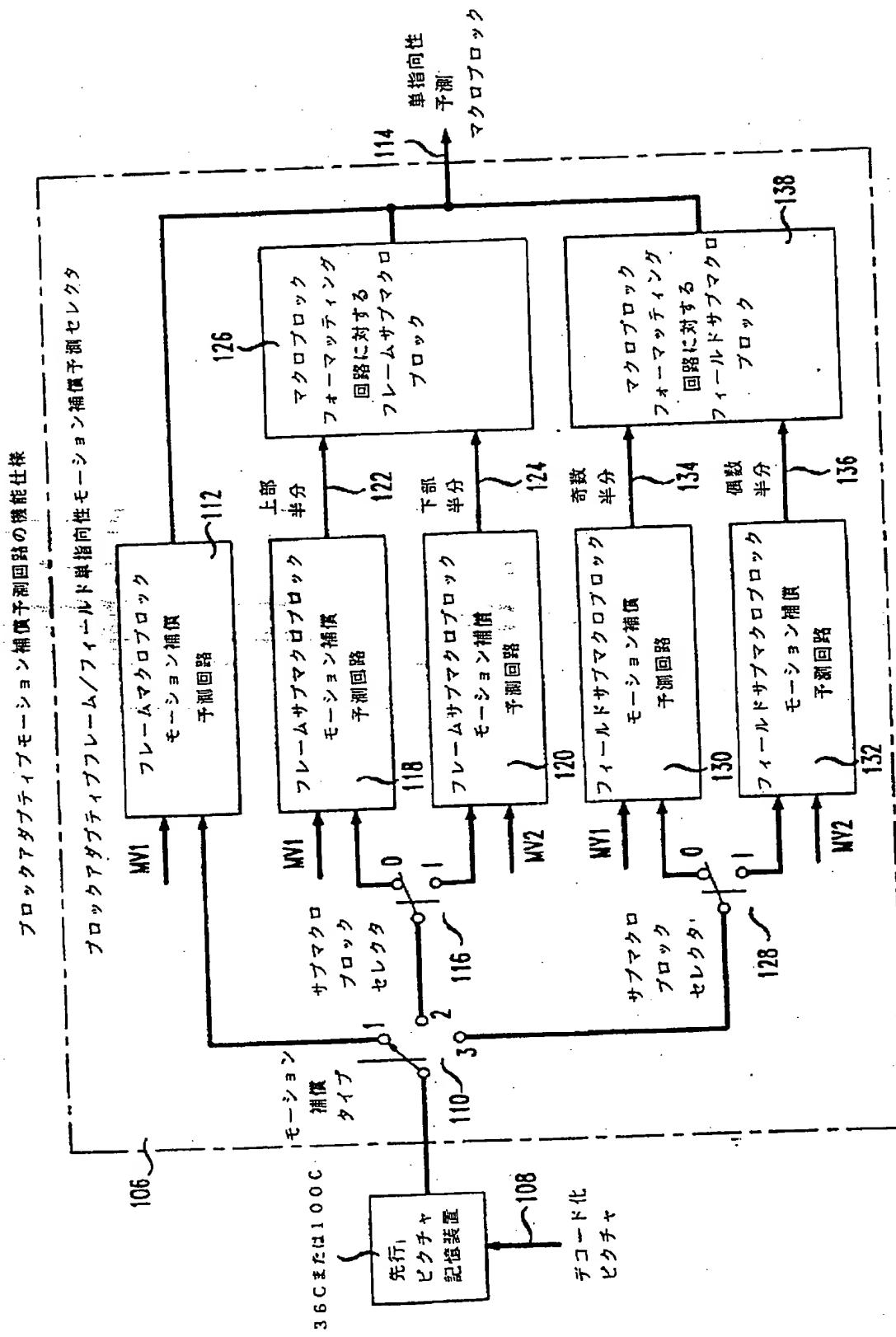
[図13]

[図14]

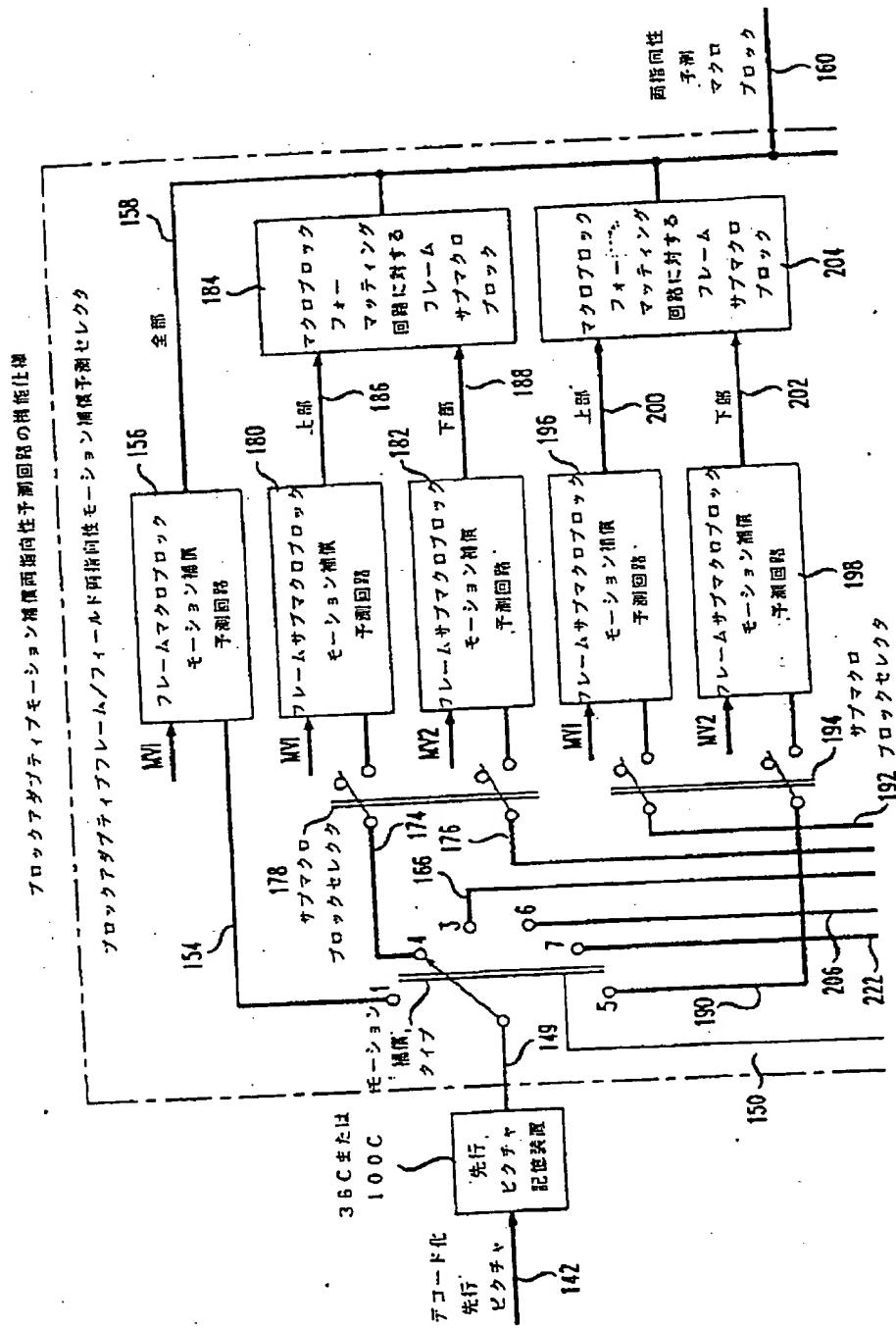
【図15】



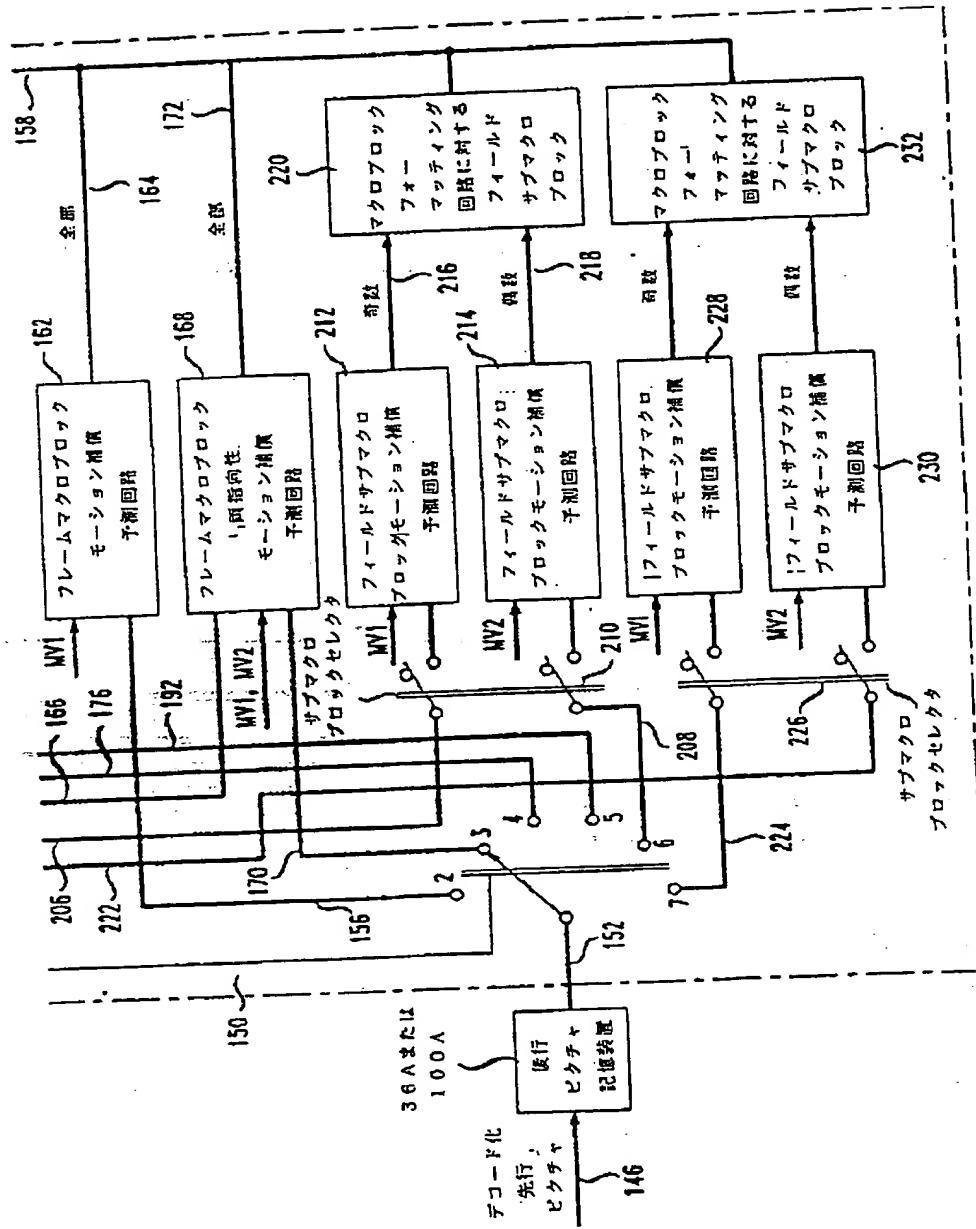
【図16】



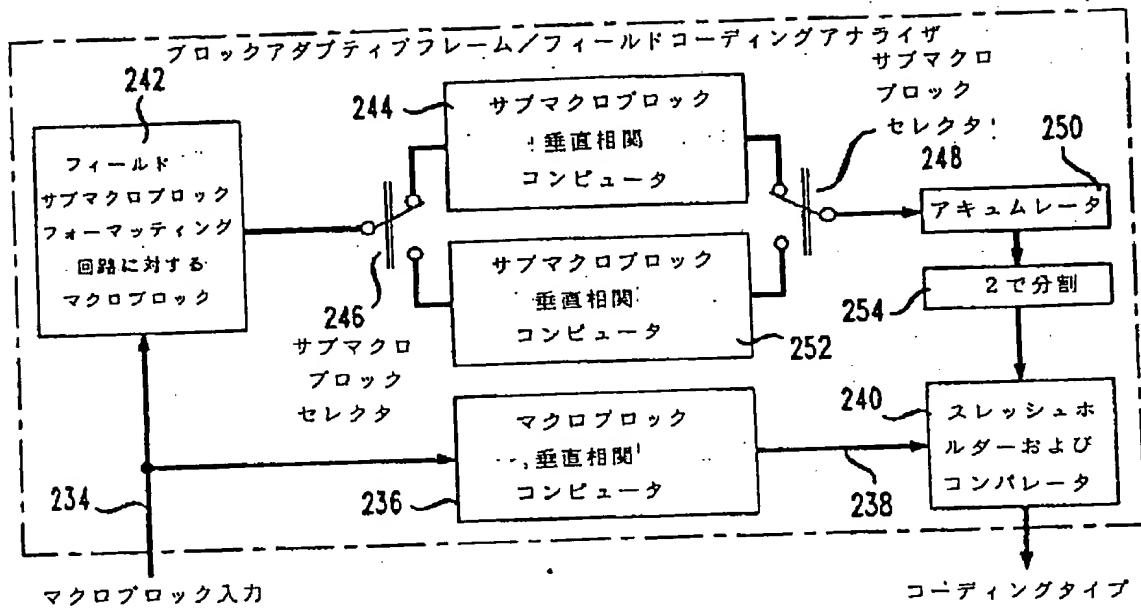
【図17】



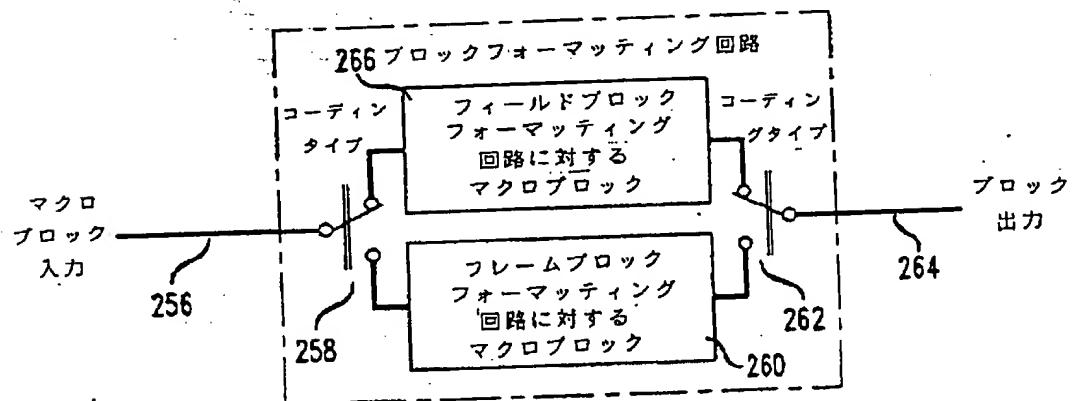
【図18】



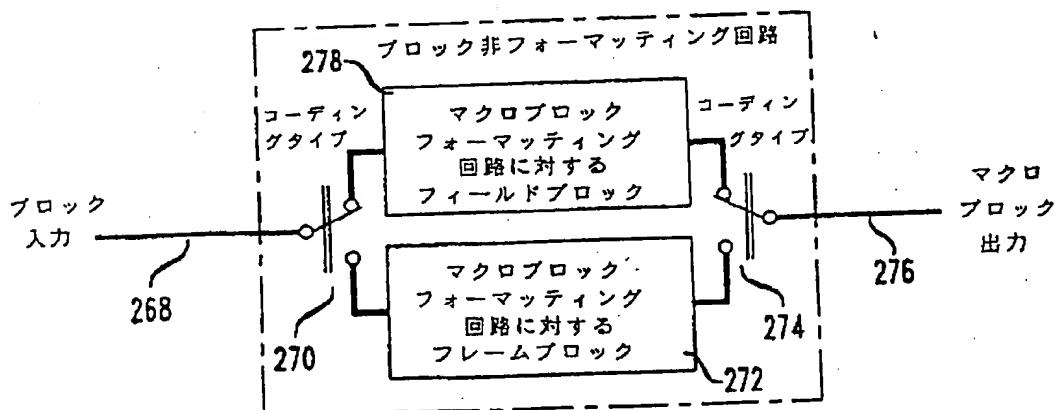
【図20】



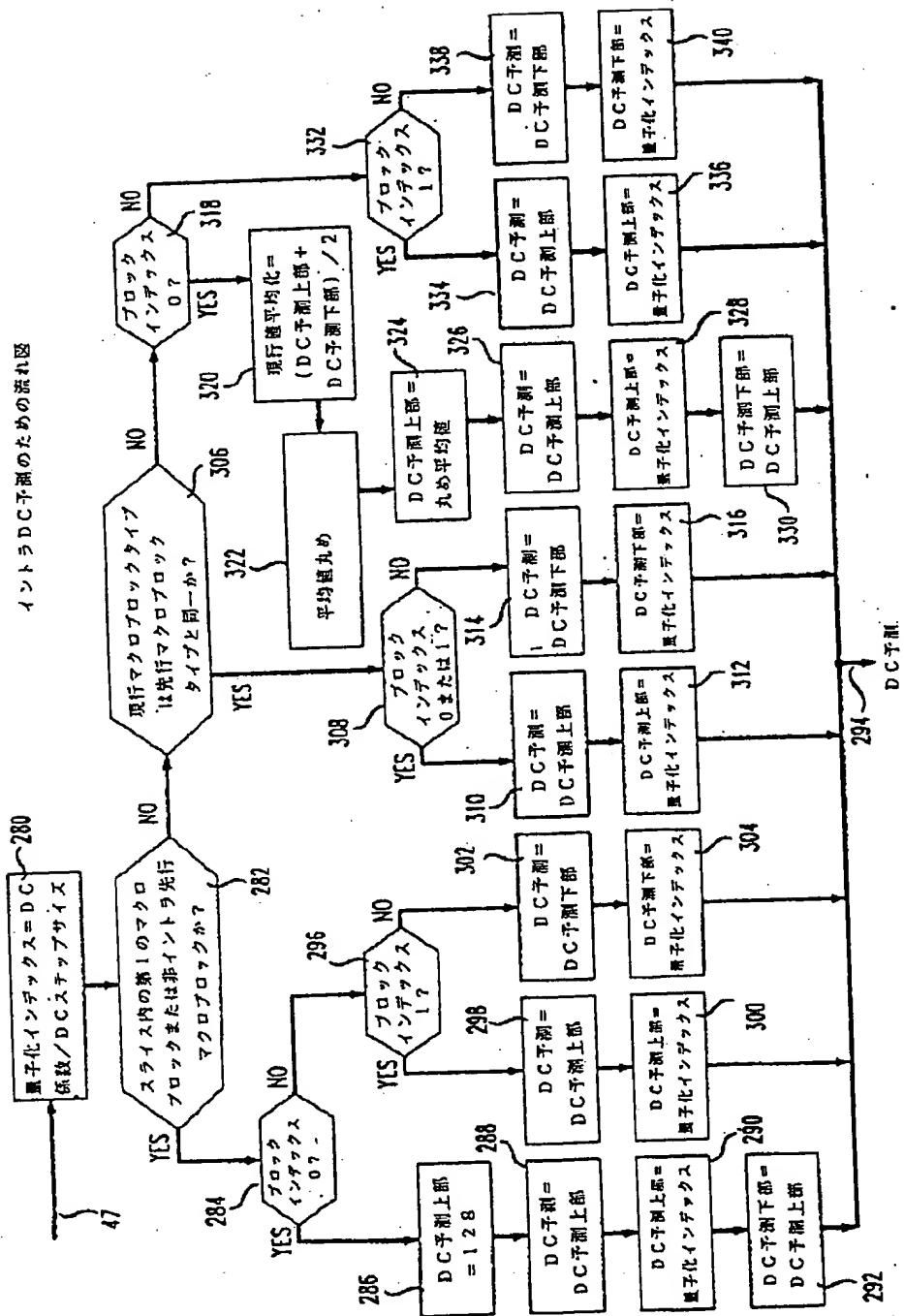
【図21】



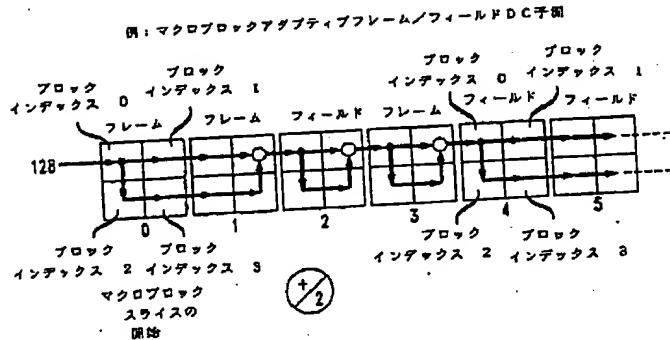
【図22】



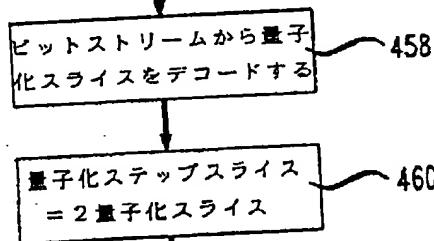
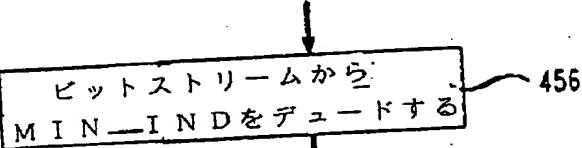
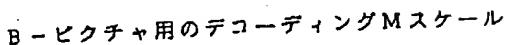
[図23]



【图24】



〔図27〕

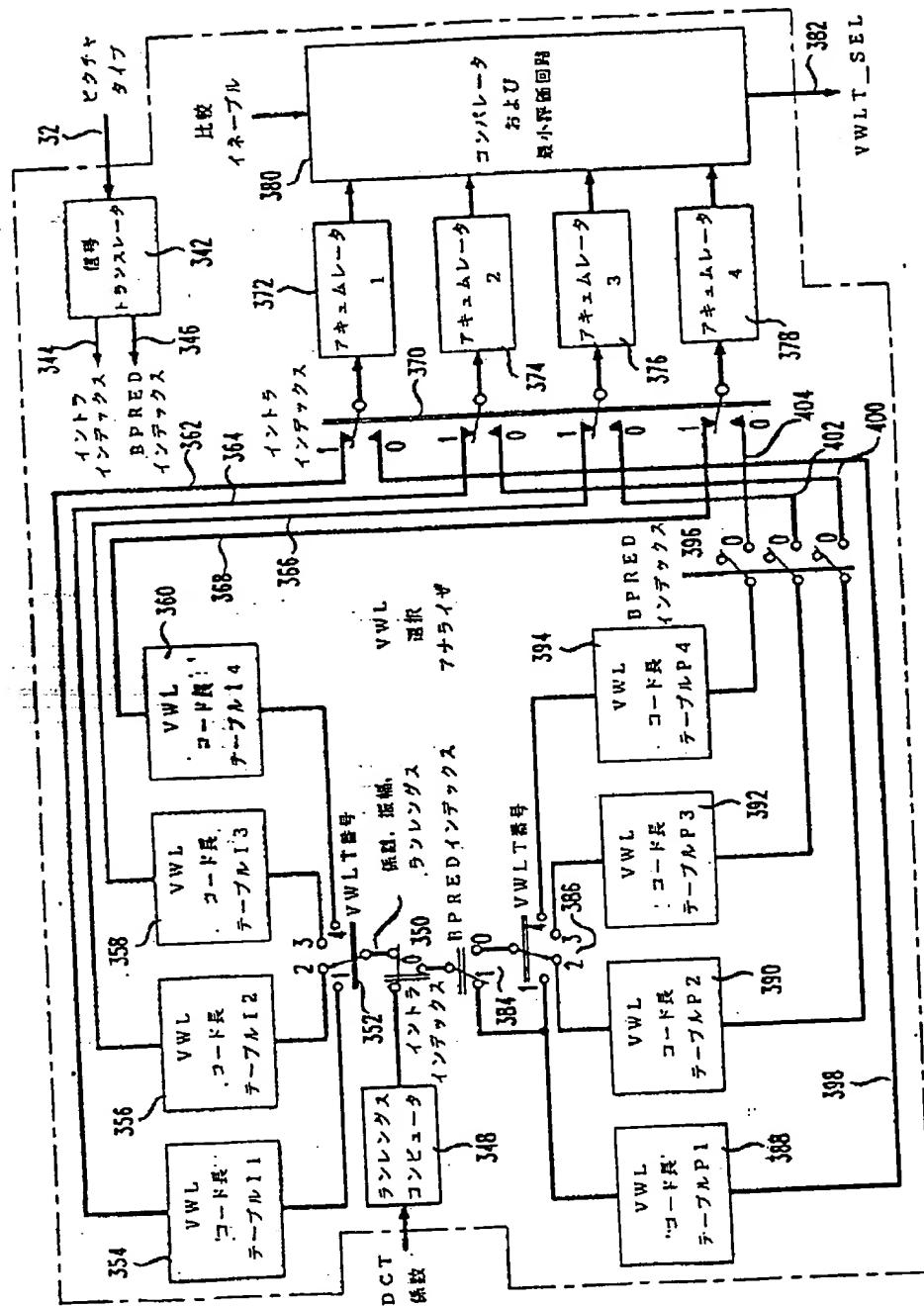


(I, J) マクロブロック
予測単指向性または
インストラ?

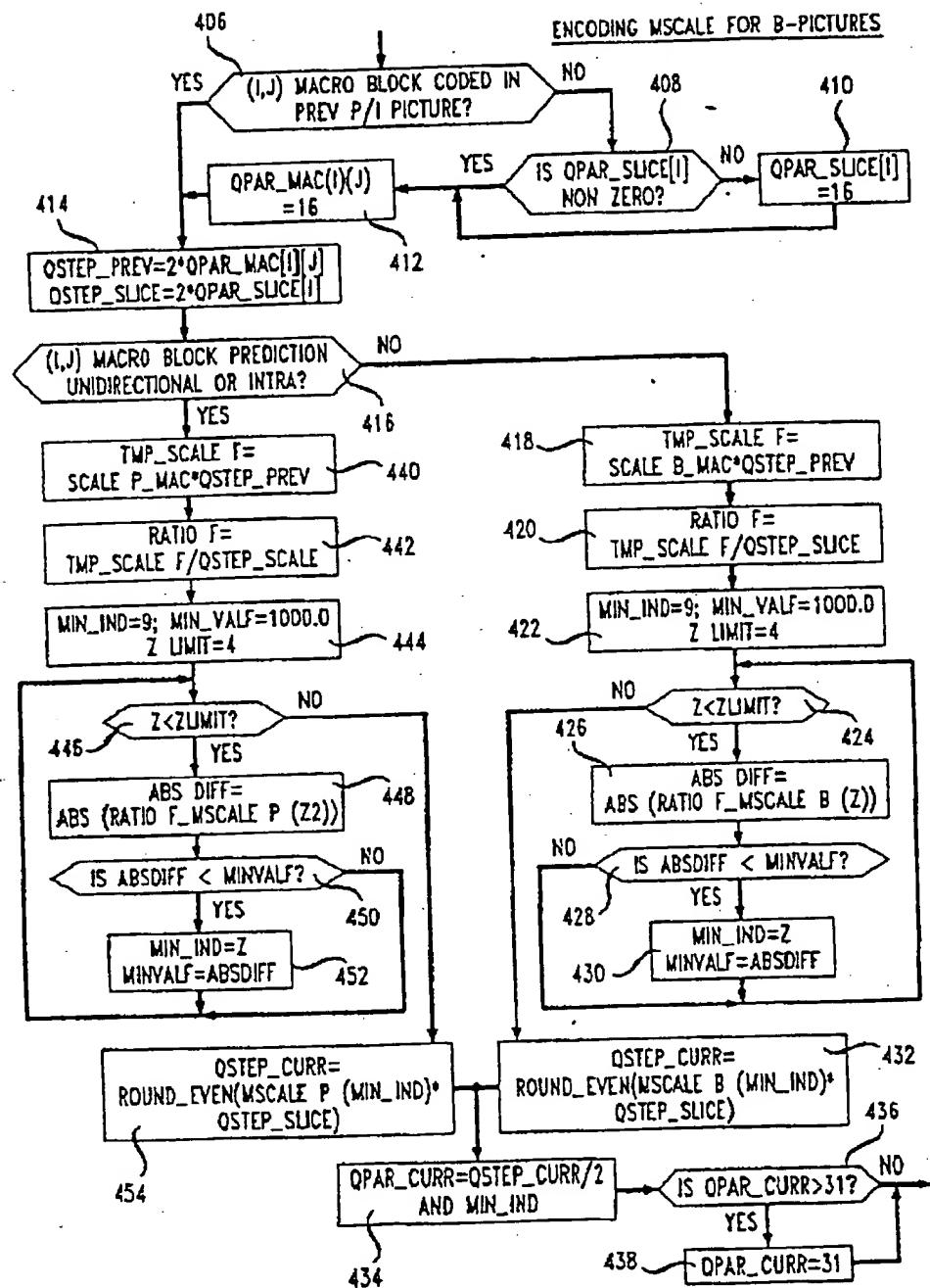
量子化ステップ=丸め
偶数 (MスケールP
(MIN_IND))
量子化ステップスライス)

(33)

【図25】

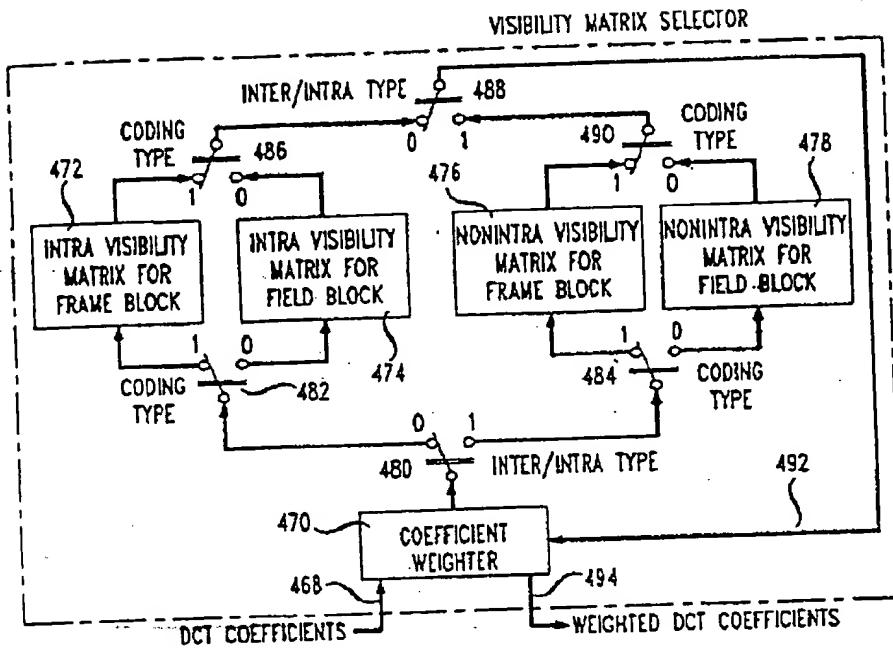


【図26】

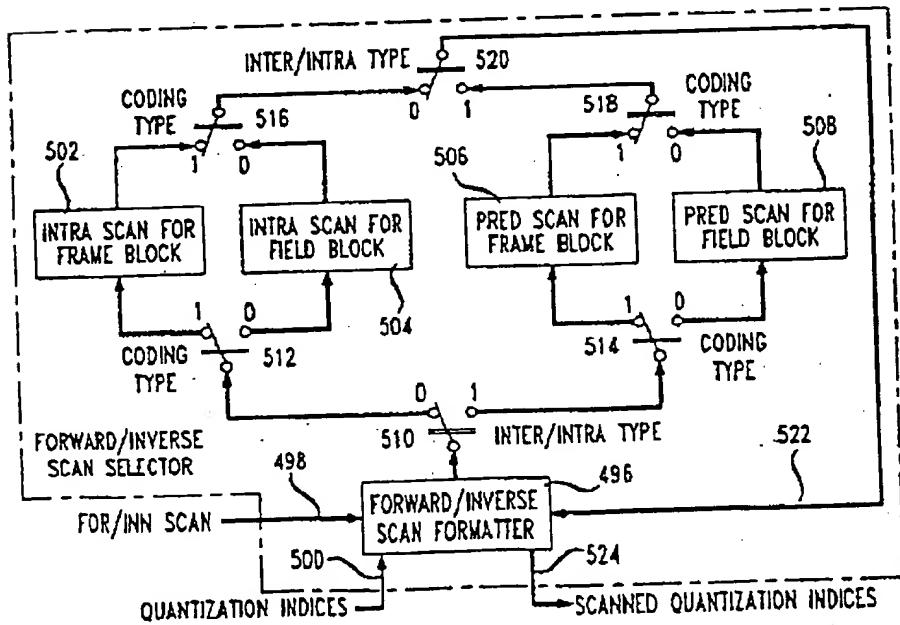


(35)

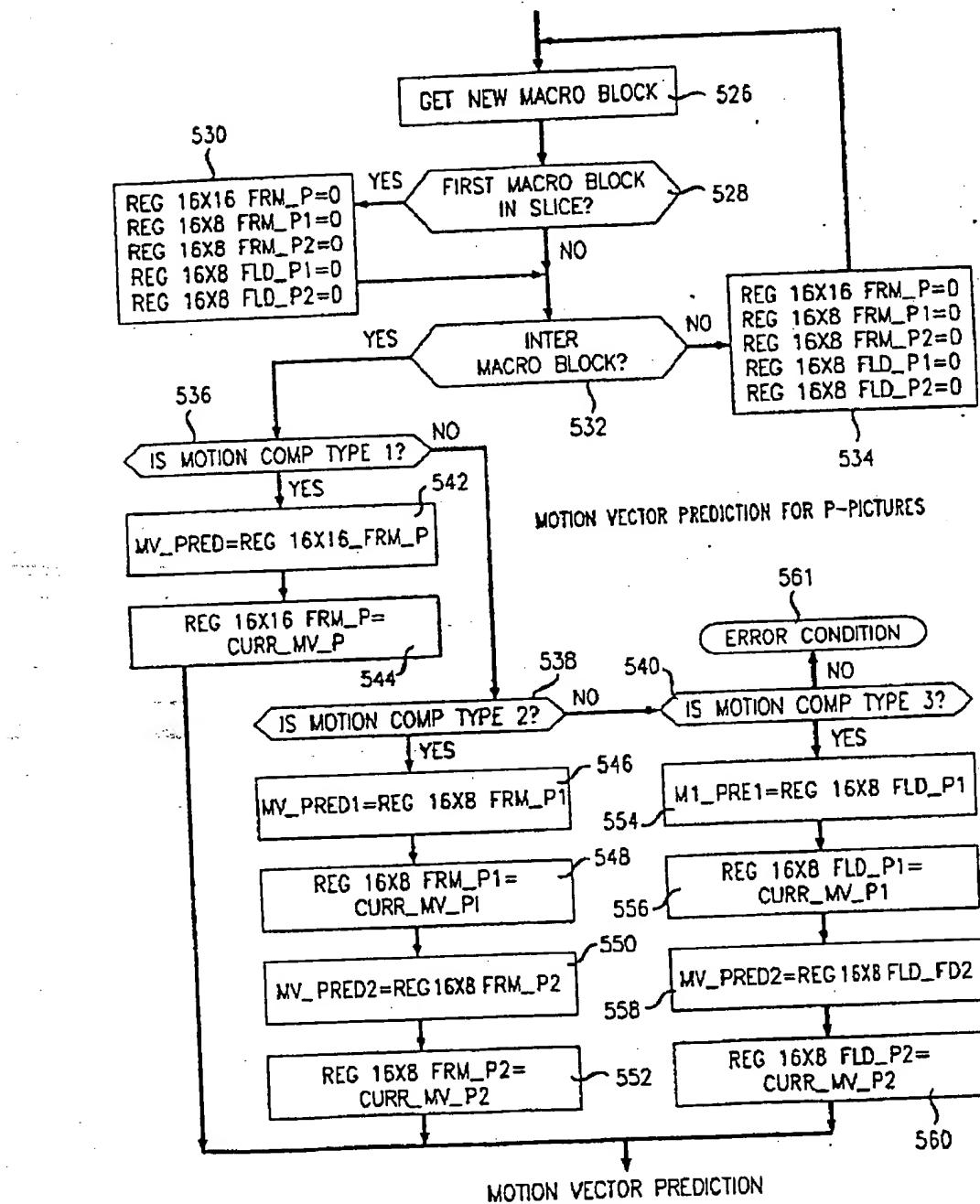
【図28】



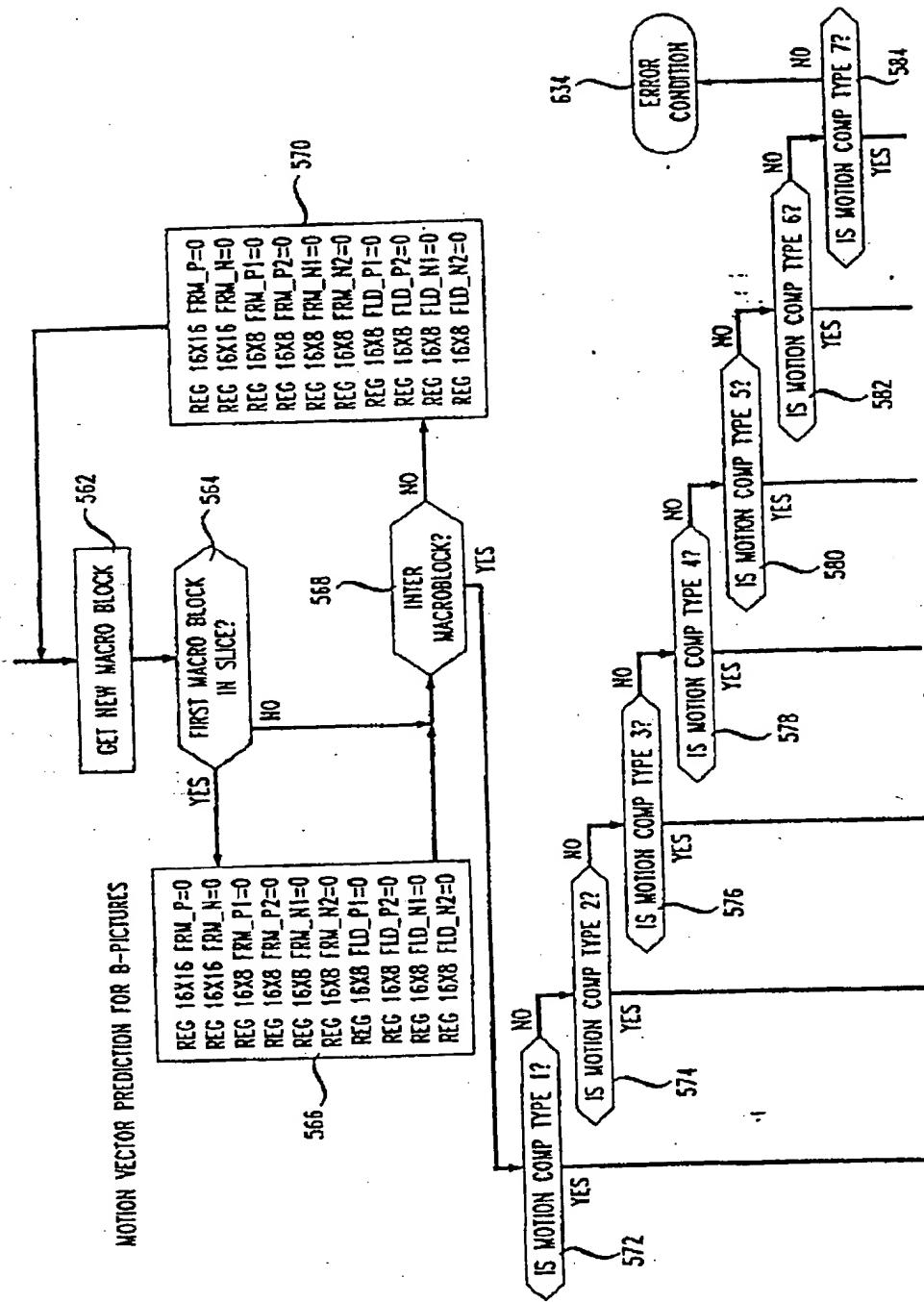
【図29】



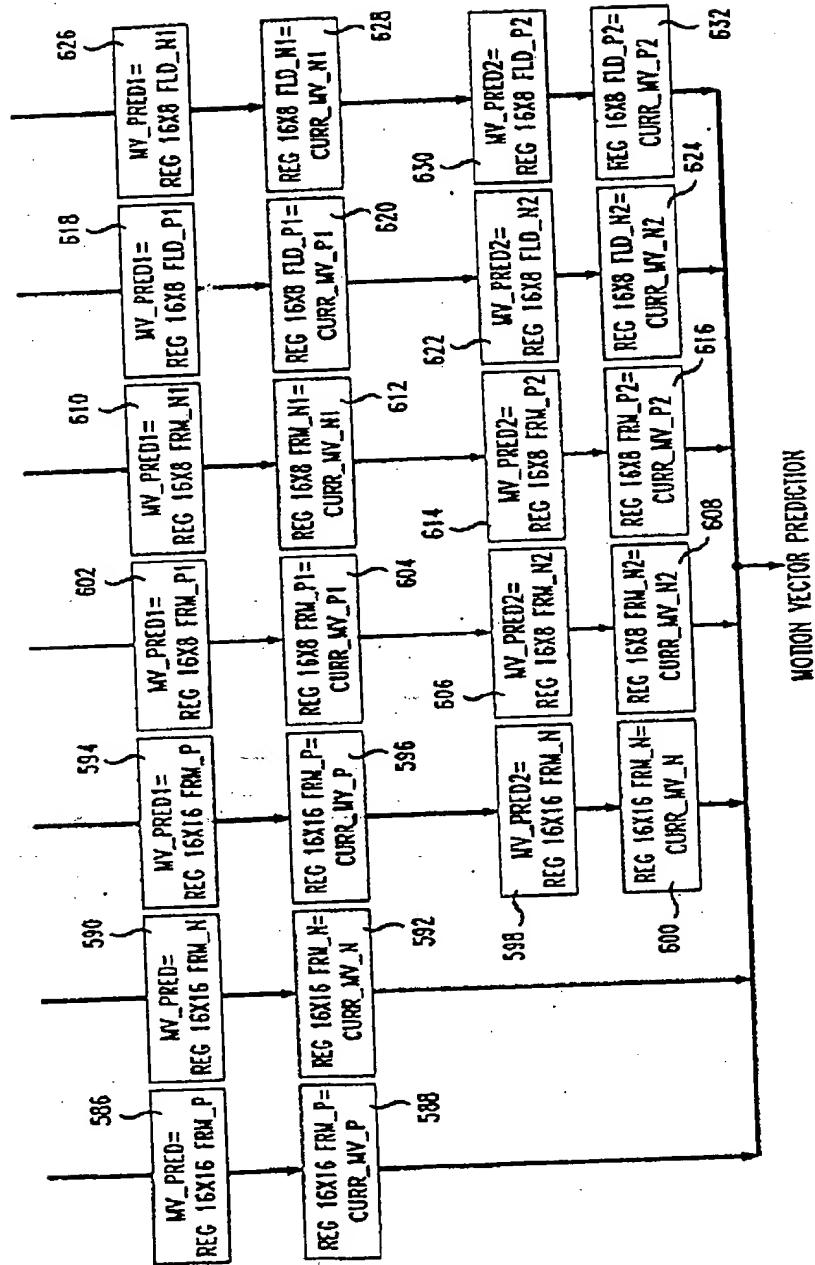
【図30】



【図31】



〔図32〕



【手續補正書】

【提出日】平成4年12月10日

【手續補正1】

【補正対象書類名】 図面

【補正対象項目名】図26

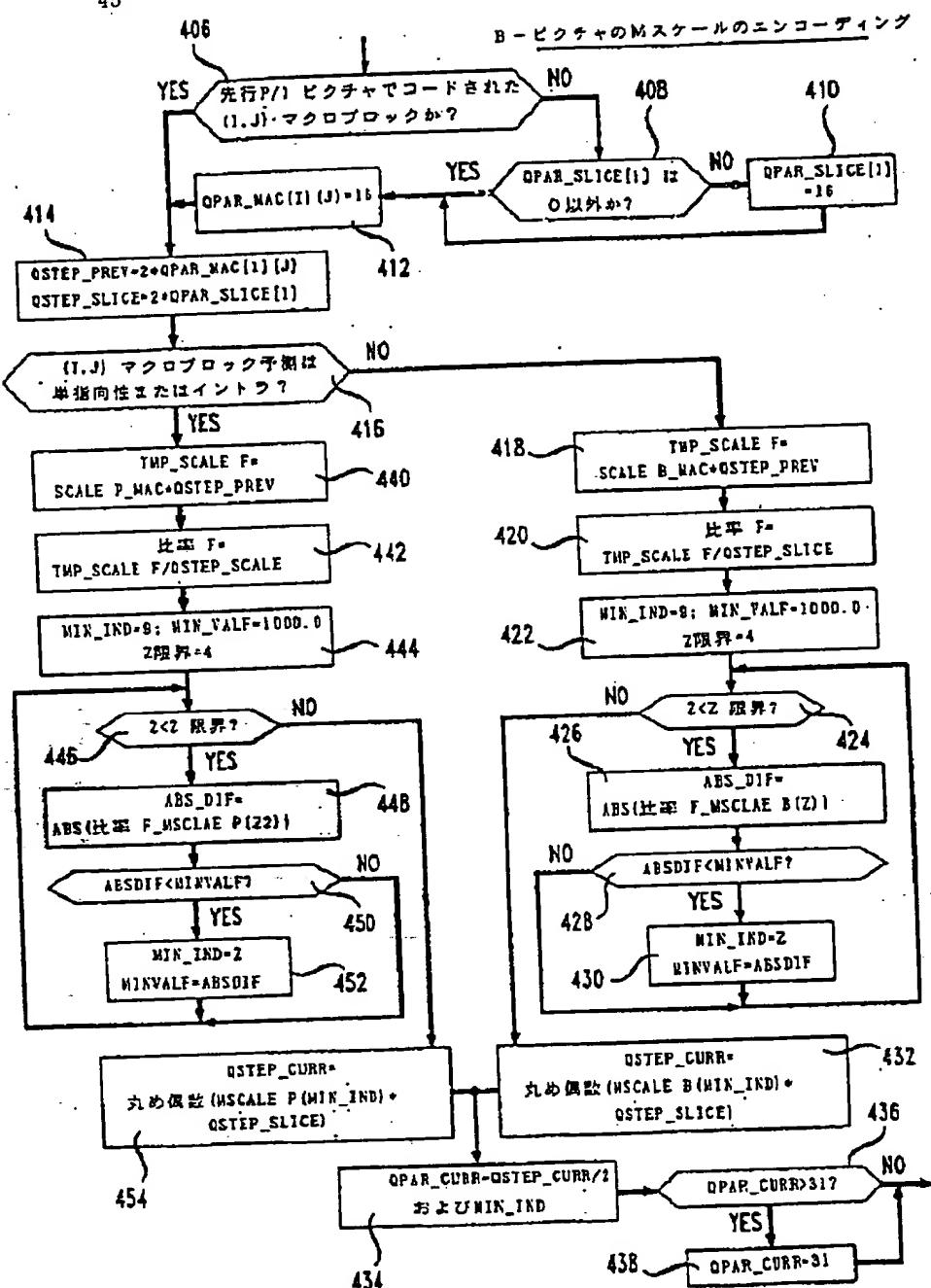
【補正方法】変更

【補正內容】

[図26]

45

46



【手続補正2】

【補正対象書類名】図面

【補正対象項目名】図28

【補正方法】変更

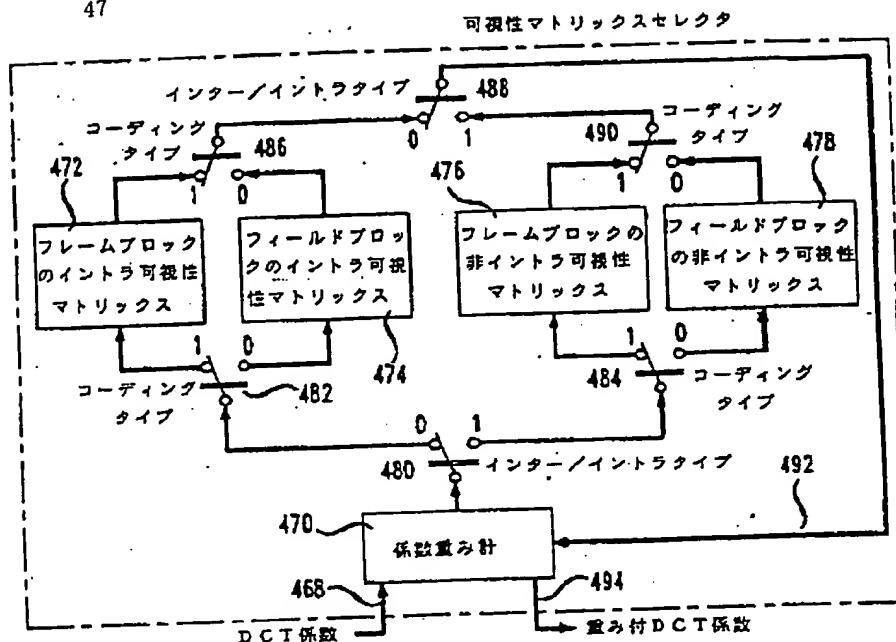
40 【補正内容】

【図28】

(40)

47

48



【手続補正3】

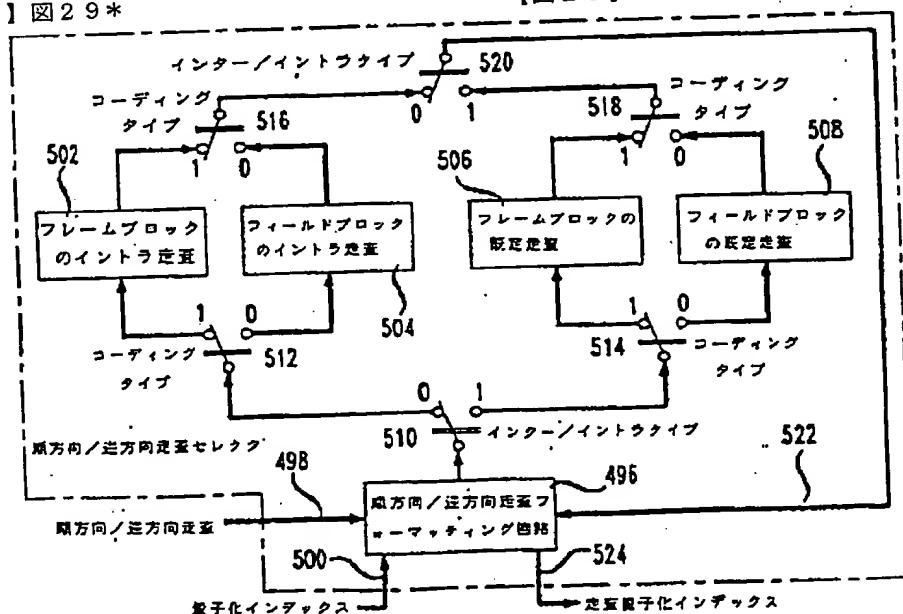
【補正対象書類名】図面

【補正対象項目名】図29*

* 【補正方法】変更

20 【補正内容】

【図29】



【手続補正4】

【補正対象書類名】図面

【補正対象項目名】図30

40 【補正方法】変更

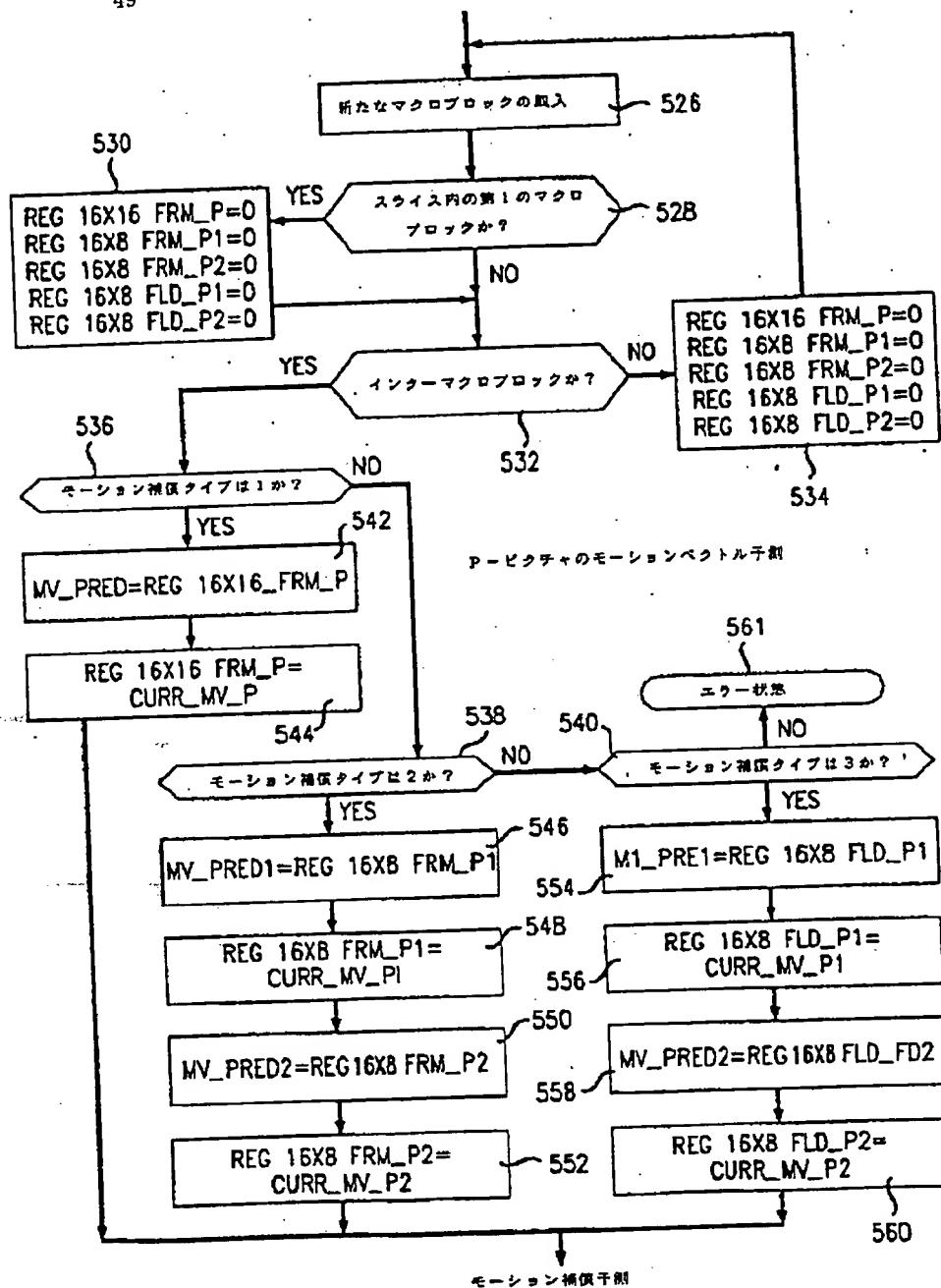
【補正内容】

【図30】

(41)

49

50



【手続補正5】

【補正対象書類名】図面

【補正対象項目名】図31

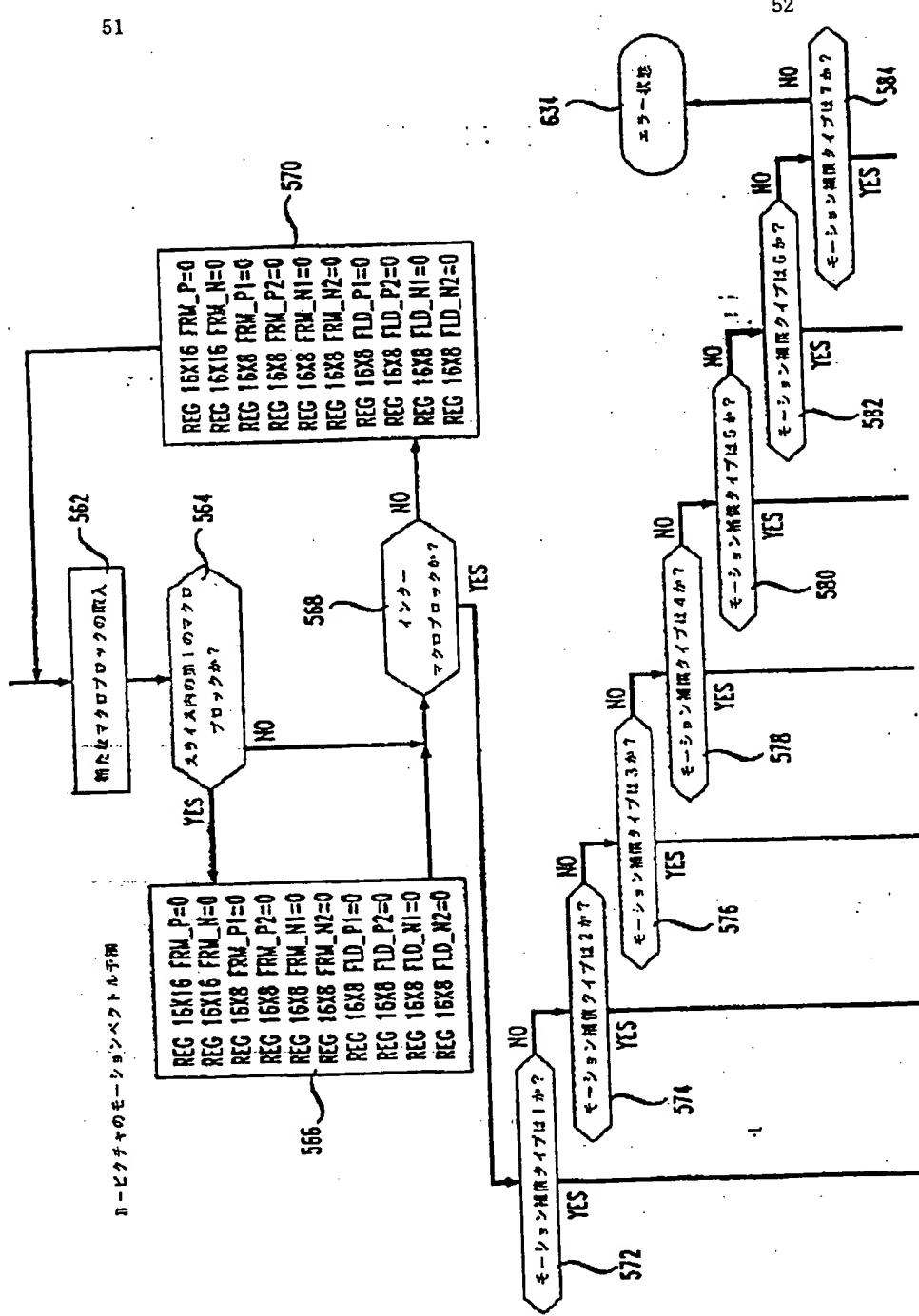
【補正方法】変更

40 【補正内容】

【図31】

(42)

51



【手続補正6】

【補正対象書類名】図面

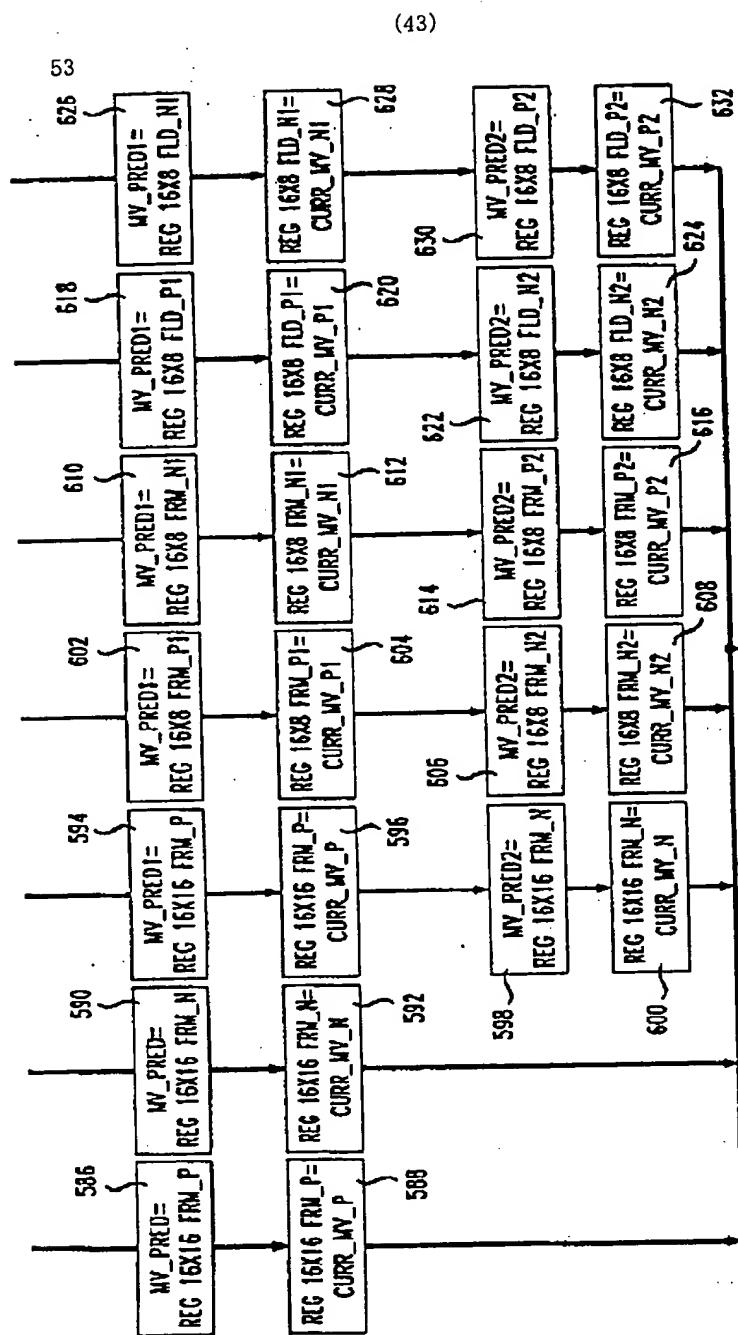
【補正対象項目名】図32

40

【補正方法】変更

【補正内容】

【図32】



フロントページの続き

(72) 発明者 アチュル・ピュリ
アメリカ合衆国 10463 ニューヨーク
ニューヨーク、ウォルド アヴェニュー
ナンバー1エー 3660

(72) 発明者 ランガラヤン アラヴィン
アメリカ合衆国 07747 ニュージャージ
— マタワン、マタワン テラス 104